



AT1089
製品仕様書
ver.1.1.1

株式会社 カンテック

発行日 2018年7月4日

本仕様書案は、静電容量型近接センサ用 LSI:AT1089 に関する機能および性能を表記したものです。なお、本仕様書案の内容は変更されることがあります。

本製品の機能と特徴

本製品は、CMOSプロセスを使用した低消費電流LSIです。
内部動作モードを随時変更可能で高い汎用性を持っています。
静電容量型近接センサとして、抜群の検出距離を実現可能です。
間欠動作機能を持ち、低消費電力動作が可能です。
出力比較器を内蔵し、設定した閾値を超えると割り込み信号を出力します。
10bit の AD 変換回路を内蔵しています。
CPU とのインターフェースは、I2C を採用しました。

目次

1	仕様	5
1.1	絶対最大定格	5
1.2	推奨使用条件	5
1.3	電気的特性	5
1.3.1	端子負荷仕様	5
1.3.2	変換特性	5
2	ブロック図	6
3	端子構成	6
4	内部レジスタ構成 内部レジスタ一覧	7
4.1	内部レジスタ詳細	8
4.1.1	GC	8
4.1.2	GF	8
4.1.3	BC	8
4.1.4	BF	9
4.1.5	BTC	9
4.1.6	MON	9
4.1.7	ADL, ADH	9
4.1.8	TF	9
4.1.9	CM	9
4.1.10	SCK	10
4.1.11	ACM	10
4.1.12	BIAS	10
4.1.13	INTM	10
4.1.14	EPINDEX、EPDATAL、EPDATAH、EPCTL1～3	10
5	機能詳細	11
5.1	AD 値変換利得	11
5.2	C-V 変換周波数と変換時間	11
5.3	消費電流の制御	11
5.4	内部電圧モニター	11
5.5	間欠動作	11
5.6	同期クロック	11
6	I2C バスについて	12
6.1	一般的な特徴	12
6.1.1	ビット転送	12
6.1.2	データの有効性	12
6.1.3	『START』条件と『STOP』条件	12
6.1.4	バイトフォーマット	13
6.1.5	アクリッジ	13
6.1.6	ビットアドレスのフォーマット	14
6.1.7	タイミング	14
6.2	I2C バス伝送手順	15
6.2.1	レシーバ・トランスミッタ動作共通	15
6.2.2	レシーバ動作	15
6.2.3	トランスミッタ動作	17
6.3	内部動作	18
6.3.1	レジスタセットタイミング	18
6.3.2	デバイスアドレスの設定	18
7	I2C 電気的特性	19

7.1	I2C バス AC 特性	19
8	EEPROM 仕様	20
	概要	20
8.1	レジスタ構成	20
8.1.1	レジスタ詳細	20
8.2	動作説明	24
8.2.1	電源投入時動作	24
8.2.2	共通事項	24
8.2.3	制御禁止／許可動作	24
8.2.4	読み出し動作	24
8.2.5	書き込み動作	25
8.2.6	消去動作	25
8.2.7	一括書き込み動作	25
8.2.8	ブロック消去動作	26
8.2.9	ブロック書き込み	26
8.3	特性	26
9	外形寸法	27

1 仕様

1.1 絶対最大定格

GND=GNA=0V.

項目	記号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}		-0.5		3.9	V
入力端子電圧	V _{IN}	端子印加電圧	-0.5		V _{DD} +0.5	V
出力端子電圧	V _{OUT}	端子印加電圧	-0.5		V _{DD} +0.5	V
出力電流	I _O		-20		20	mA
全損失	P _C				300	mW
保存温度範囲	T _{STG}	結露しないこと	-40		125	°C

1.2 推奨使用条件

項目	記号	条件	MIN.	TYP.	MAX.	単位
電源電圧範囲	V _{DD}		2.7		3.6	V
動作温度範囲	T _{OPR}		-20		75	°C

1.3 電気的特性

特記無き場合、V_{DD}=V_{DA}=3.3V, GND=GNA=0V, T_a=25°Cとする。

1.3.1 端子負荷仕様

項目	記号	条件	MIN.	TYP.	MAX.	単位
A電極容量	C _A	非検出時、対地容量 *1	2.0		60	pF
B電極容量	C _B	非検出時、対地容量 *1	2.0		60	pF
A, B電極オフセット容量	ΔC _{AB}	非検出時、C _A -C _B	-8		8	pF
シールド電極容量	C _{SH}	対地容量+対A, B電極容量			250	pF
出力負荷容量	C _{LO}				20	pF
出力負荷抵抗	R _{LO}		10			KΩ

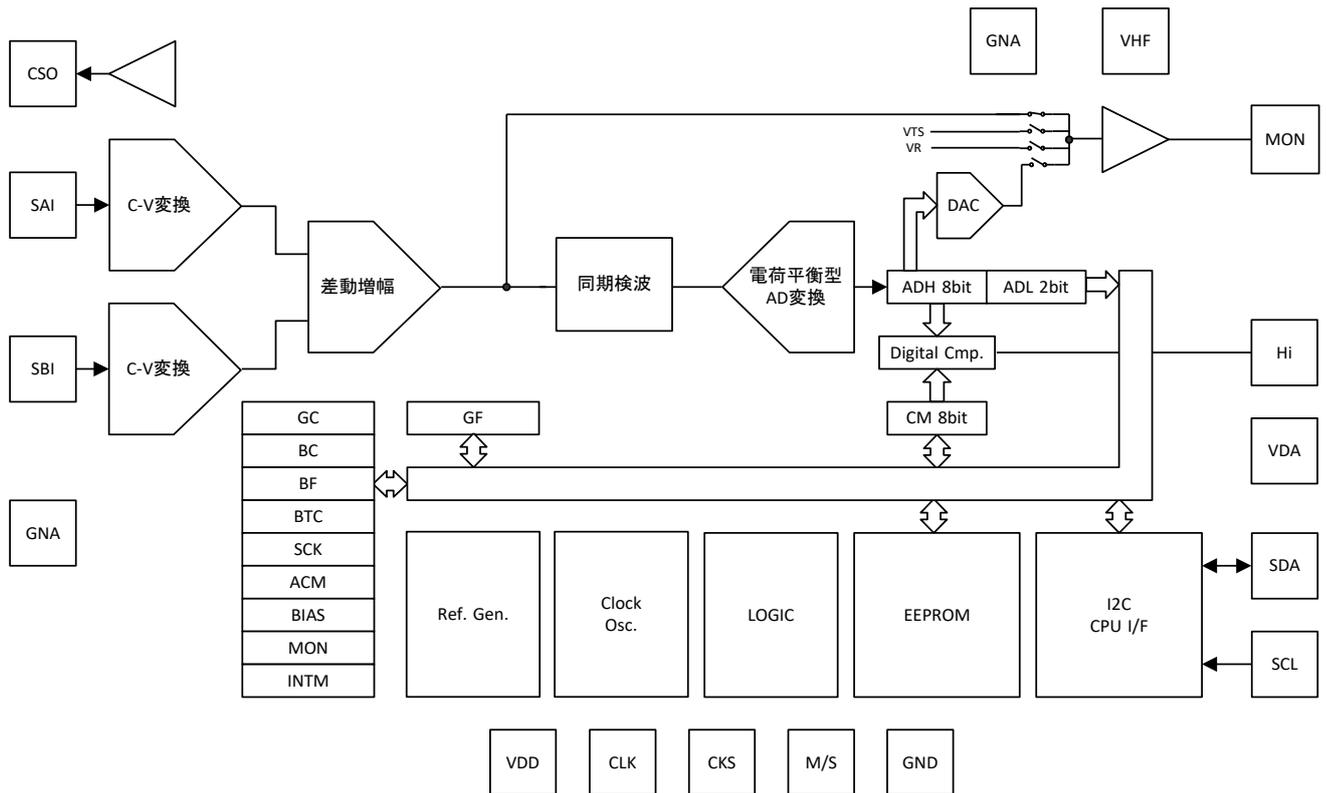
*1 接続可能な電極容量は「GC」の設定内容(下位 2bit)に依存します。

1.3.2 変換特性

項目	記号	条件	MIN.	TYP.	MAX.	単位
消費電流1	I _{DA1}	外部負荷無し、F _{CVC} =160KHz時。*2		1200	2000	uA
消費電流2	I _{DA2}	外部負荷無し、F _{CVC} =20KHz時。*2		500	800	uA
消費電流3	I _{DA3}	スリープ時		100		uA
CV変換周波数1	f _{CV1}	「SCK」=0		160		KHz
CV変換周波数2	f _{CV2}	「SCK」=1		80		KHz
CV変換周波数3	f _{CV3}	「SCK」=2		40		KHz
CV変換周波数4	f _{CV4}	「SCK」=3		20		KHz
CV変換容量	C _{CVC}	5, 10, 20, 40pF	5		40	pF
差動アンプ利得	G _{DIF}	2x, 4, x8x, 16x	2		16	倍
AD変換利得	G _{PGA}	G _{AD} =1+N/255, N=0~255	1		2	倍
電荷転送容量	C _{TR}	4, 8, 16, 32pF	4		32	pF
CB型ADC積分容量	C _{ADC}			10		pF
累積回数1	N _{SAM1}	「ACM」=3		8192		回
累積回数2	N _{SAM2}	「ACM」=2		4096		回
累積回数3	N _{SAM3}	「ACM」=1		2048		回
累積回数4	N _{SAM4}	「ACM」=0		1024		回
総合利得	G _{TT1}		0.004		3.9	fF/LSB
サンプリング時間	t _{SMP}	表5-1参照。				
AD変換分解能	R _{ADC}			10		Bit
温度係数補正範囲	T _{COEF}		-1000		1000	ppm/°C

*2: 消費電流は「BIAS」の設定内容に依存します。

2 ブロック図



3 端子構成

端子番号	端子名	I/O	機能概要
1	NC	—	オープン
2	GNA	P	グラウンド
3	CSO	AO	シールド信号出力
4	SAI	AI	近接センサ電極 A 接続端子
5	SBI	AI	近接センサ電極 B 接続端子
6	GNA	P	アナロググラウンド
7	M/S	I	マスター/スレーブ設定 (L=スレーブ)
8	CKS	I/O	同期クロック入出力
9	CLK	I/O	システムクロック入出力
10	NC	—	オープン
11	NC	—	オープン
12	VDD	P	+電源端子
13	GND	P	グラウンド
14	SCL	I	I2C バス同期クロック信号入力
15	SDA	I/O	I2C バスシリアルデータ入出力
16	VDA	O	+アナログ電源端子
17	HI	O	比較出力
18	MON	AO	内部電圧モニタ出力
19	VHF	O	内部基準電圧端子
20	NC	—	オープン

I 論理入力端子, O 論理出力端子 P 電源端子
 AI アナログ入力端子, AO アナログ出力端子

4 内部レジスタ構成
内部レジスタ一覧

内部 アドレス (HEX)	EEPROM アドレス (HEX)	レジスタ名	機 能	R/W	有効 ビット	備 考
00	00	GC	CV 変換利得粗調整、オフセット符号	R/W	8	
01	00	GF	利得微調整	R/W	8	
02	01	BC	オフセット粗調整	R/W	8	
03	01	BF	オフセット微調整	R/W	8	
04	02	BTC	温度補正係数設定	R/W	8	
05	02	MON	内部電圧モニター選択	R/W	2	
06	03	ADL	AD 変換結果(下位 2bit)	R	2	MSB 詰め
07	03	ADH	AD 変換結果(上位 8bit)	R	8	
08	04	TF	温度センサ出力オフセット調整	R/W	8	
09	04	CM	出力比較値(上位 8bit)	R/W	8	
0A	05	SCK	CV 変換周波数設定	R/W	2	
0B	05	ACM	CV 変換結果累積回数	R/W	2	
0C	06	BIAS	バイアス電流設定	R/W	8	
0D	06	INTM	間欠動作	R/W	8	
0E	07					RESERVED
0F	07	I2CADR	I2C デバイスアドレス格納レジスタ	R/W	7	
10~3F	08~1F					RESERVED
40	-	EPINDX	EEPROM Access Index	R/W	8	
42	-	EPDATAL	EEPROM Access Data L	R/W	8	
43	-	EPDATAH	EEPROM Access Data H	R/W	8	
44	-	EPCTL1	EEPROM Control/Status	R/W	8	
45	-	EPCTL2	EEPROM Control/Status	R/W	8	
46	-	EPCTL3	EEPROM Control/Status	R/W	8	

※ 内部データは 1 アドレスにつき 8bit ですが、
EEPROM ではデータは 1 アドレスにつき 16bit が格納されます。
例:BF レジスタ値は EEPROM ではアドレス 01 のデータ 16bit 中、上位 8bit に対応しています。

※ I2CADR 内部レジスタへの書き込みは 6.3.2.項のデバイスアドレスの設定でのみ行われます。

4.1 内部レジスタ詳細

4.1.1 GC

感度設定および、オフセット補正極性設定

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
GC	SOFSET	-	Ctrl	Ctrl0	Gdif1	Gdif0	Ccvc1	Ccvc0

CV 変換回路の容量値設定。(感度調整)

Ccvc: CV 変換容量

Ccvc	Ccvc	容量値
1	0	
L	L	40pF
L	H	20pF
H	L	10pF
H	H	5pF

※ Ccvc 容量値により接続出来るセンサ容量値が異なります。

40pF : 60pF~16pF

20pF : 30pF~8pF

10pF : 15pF~4pF

5pF : 7.5pF~2pF

Gdif: 差動アンプ利得

Gdif	Gdif	倍率
1	0	
L	L	2
L	H	4
H	L	8
H	H	16

Ctrl: 電荷転送容量

Ctrl	Ctrl	容量値
1	0	
L	L	4pF
L	H	8pF
H	L	16pF
H	H	32pF

SOFSET: オフセット補正の極性切り替え。BC、BF、BTC レジスタでの補正方向が切り替わります。

L: SBI>SAI H: SAI>SBI

4.1.2 GF

AD 変換利得調整機能 1~2 倍の範囲で補正できます。

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
GF	GF7	GF6	GF5	GF4	GF3	GF2	GF1	GF0

$G_{AD}=1+(GF)/255$ [倍] GF: DEC (0~255)

4.1.3 BC

オフセット粗調整機能 最大 8pF を 8bit で補正できます。

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
BC	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0

入力補正容量値=8×(BC)/255 [pF] BC: DEC (0~255)

4.1.4 BF

オフセット微調整機能 40fFを8bitで補正できます。

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
BF	BF7	BF6	BF5	BF4	BF3	BF2	BF1	BF0

入力補正容量値=40×(BF)/255 [fF] BC:DEC (0~255)

4.1.5 BTC

温度によるオフセット変動を最大±1000ppm/°Cの範囲で補正できます。

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
BTC	BTC7	BTC6	BTC5	BTC4	BTC3	BTC2	BTC1	BTC0

入力補正容量温度係数=-1000+2000(BTC)/255 [PPM/°C] BC:DEC (0~255)

4.1.6 MON

MON 端子でモニタする内部電圧を選択できます。

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
MON	-	-	-	-	-	-	MON1	NON0

MON1	MON0	MON 端子出力
L	L	アナログ出力電圧
L	H	差動段出力
H	L	内部基準電位
H	H	温度センサ

4.1.7 ADL, ADH

AD 値格納レジスタ ADL 下位 2bit、ADH 上位 8BIT が格納されます。(読み出し専用)

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ADL	AD1	AD0	-	-	-	-	-	-

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ADH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2

4.1.8 TF

温度センサ出力のオフセット補正をします。

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TF	TF7	TF6	TF5	TF4	TF3	TF2	TF1	TF0

温度センサ出力 $V_{TS} = V_{DD}/2 + (T-25) * 0.005 + (-0.5 + (TF)/255)$ [V] T:温度 TF: DEC (0~255)

4.1.9 CM

ADH レジスタ値が CM レジスタ値で設定した値を超えると HI 端子出力が Hi になります。

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CM	CM7	BTC6	BTC5	BTC4	BTC3	BTC2	BTC1	BTC0

HI 端子 $Hi@ADH > CM$ 、HI 端子 $Lo@ADH \leq CM$

4.1.10 SCK

CV 変換周波数を設定できます。

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SCK	-	-	-	-	-	-	SCK1	SCK0

SCK1	SCK0	CV 変換周波数
L	L	160KHz
L	H	80KHz
H	L	40KHz
H	H	20KHz

4.1.11 ACM

CV 変換結果累積回数を設定できます。

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ACM	-	-	-	-	-	-	ACM1	ACM0

ACM1	ACM0	累積回数
L	L	1024
L	H	2048
H	L	4096
H	H	8192

※累積回数が多いほど出力値が平滑化されますが、
1 周期当たりの変換時間が長くなります。

4.1.12 BIAS

バイアス電流設定します。

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
BIAS	BIAS7	BIAS6	BIAS5	BIAS4	BIAS3	BIAS2	BIAS1	BIAS0

CV 変換周期に応じたバイアス電流を調整することで過不足の無い消費電流で動作させることが可能です。

内部バイアス電流値 = $I_{max} - I_{max} \times (\text{BIAS}) / 255$ BIAS:DEC (0~255)

※レジスタ値 255 付近では内部バイアス電流がほぼ流れませんので回路動作が不安定になります。回路動作を確認しながら調整して下さい。

4.1.13 INTM

間欠動作モードを設定します。

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
BIAS	BIAS7	BIAS6	BIAS5	BIAS4	BIAS3	BIAS2	BIAS1	BIAS0

間欠動作中は、スリープ状態となり、低消費電流になります。

間欠時間 = $t_{cv} \times (\text{INTM})$ t_{cv} :1 周期の変換時間 INTM:DEC(0~255)

※INTM=0 時は連続動作になります。

4.1.14 EPINDEX, EPDATAL, EPDATAH, EPCTL1~3

EEPROM とのアクセス用レジスタです。

詳細は 8 章 EEPROM 仕様に記載しています。

5 機能詳細

5.1 AD値変換利得

10bit の AD 変換出力 1LSB 当たりの容量値は
(CCVC * CADC) / (GDIF * CTR * GAD * 12.22) / 1024 [pF/LSB] となります。

最小感度では CCVC=40pF, CADC=10pF, GDIF=2, CTR=4pF, GAD=1 より
(40*10) / (2*4*1*12.22) / 1024=0.004pF/LSB

最大感度では CCVC=5pF, CADC=10pF, GDIF=16, CTR=32pF, GAD=2 より
(5*10) / (16*32*2*12.22) / 1024=0.0039fF/LSB

5.2 C-V変換周波数と変換時間

前項で示した「SCK」と「ACM」のレジスタにより、各々CV 変換周波数と CV 変換結果の累積回数が設定されます。この 2 つのレジスタの内容によって、1 周期の変換時間が変化します。

表 5-1, 累積回数と変換時間

CV 変換周波数	累 積 回 数			
	8192	4096	2048	1024
160KHz	51msec	25msec	12.5msec	6.3msec
80KHz	102msec	51msec	25msec	12.5msec
40KHz	205msec	102msec	51msec	25msec
20KHz	410msec	205msec	102msec	51msec

5.3 消費電流の制御

CV 変換周波数を高く設定した場合、内部回路は高速動作が必要です。逆に、CV 変換周波数を低く設定すると、高速動作は必要ありません。

高速な動作ほど大きな消費電流を必要とします。「BIAS」レジスタにより動作速度を調整することにより、消費電流を調整できます。

CV 変換周波数に応じて必要十分な消費電流を選択することが可能です。

5.4 内部電圧モニター

「MON」レジスタの切り替えによって、アナログ出力電圧、差動段出力、内部基準電位、内蔵温度センサの各出力電圧を「MON」端子に出力します。

MON	00	01	10	11
選択出力	出力電圧	差動段出力	内部基準電位	温度センサ

5.5 間欠動作

「INTM」レジスタに「0」以外の数値を設定した場合、間欠動作を行います。

間欠動作中は、スリープ状態となり、低消費電流になります。

間欠時間は、表 5-1 に示した変換時間の「N」倍 (N=1~255) です。

間欠時間経過後に 1 回の変換動作を行い、再びスリープ状態となる動作を繰り返します。

スリープ状態は、動作完了直後に開始し、次の動作起動の 1 サンプル周期前で終了します。

5.6 同期クロック

本製品を 2 つ以上使用する場合、検出電極同士が近接して設置されると、互いに干渉することがあります。

そのような場合は、同期モードで使用してください。同期モードは、「M/S」端子によって制御されます。複数使用されるいずれか一つの素子 (マスター) 以外の「M/S」端子を GND に接続します。さらに、すべての素子の「CLK」「CKS」同士を接続します。

マスター素子の「CLK」「CKS」から同期クロックが出力され、その他の素子に入力されます。これによって、すべての素子は同期して動作します。

6 I2C バスについて

6.1 一般的な特徴

SDAとSCLはどちらも双方向ラインであり、並列抵抗を介して正の電源電圧に接続されます。

バスが開放されているときにはどちらのラインも"H"の状態になります。

バスに接続されているデバイスの出力段には、AND接続機能を実行するためにオープンドレインが必要になります。

I2Cバスでは、標準モード時に 100kbit/S、ファーストモード時に最大 400kbit/S、高速モード時に 3.4Mbit/Sのデータを転送することが可能です。

本LSIはファーストモードを対応可能とします。

バスに接続されるインタフェースの数は、バスの最大静電容量(400pF)によってのみ制限されています。

6.1.1 ビット転送

I2Cバスには異なるプロセス(CMOS、NMOS、バイポーラなど)を利用したデバイスを接続することができるので、論理値の"0"("L")と"1"("H")レベルは一定ではなく、VDDのレベルによって決定されます。

転送されるデータビットごとに1つのクロックパルスが生成されます。

6.1.2 データの有効性

クロックが"H"の間にSDAラインの状態は一定でなければなりません。データラインが"H"と"L"の間で状態を変更してくるのはSCLラインのクロック信号が"L"の時に限られます。(下図参照)

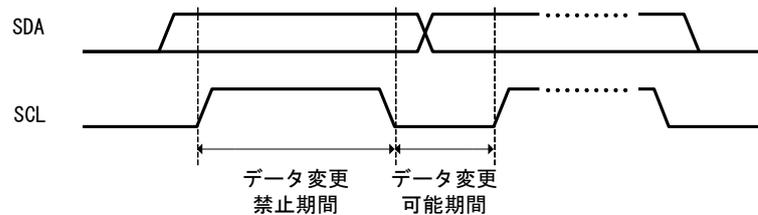


図 6-1

6.1.3 『START』条件と『STOP』条件

『START』条件

SCLが"H"のときにSDAラインが"H"から"L"に変化する状態を示す

『STOP』条件

SCLが"H"のときにSDAラインが"L"から"H"に変化する状態を示す

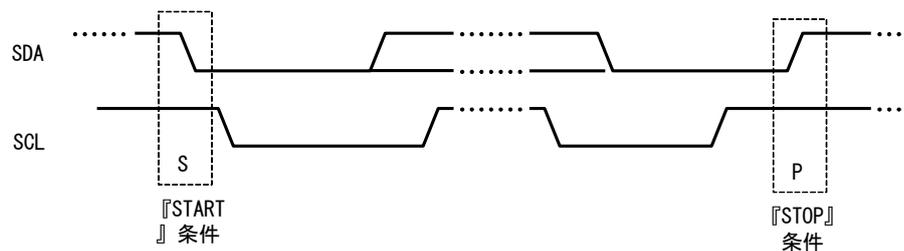


図 6-2

各条件は常にマスタによって生成されます。

『START』条件が発生した後は、バスがビジー状態となり、『STOP』条件が生成されると、その後にバスが開放状態となります。

この他に、"反復『START』条件"が存在。

反復『START』条件とは、I2Cバスでは通常、『STOP』条件が発生するタイミングにおいて、『START』条件と同等の状態を発生させることを許可しており、その状態を示す。

"反復『START』条件"が生成された場合、バスは開放されません。

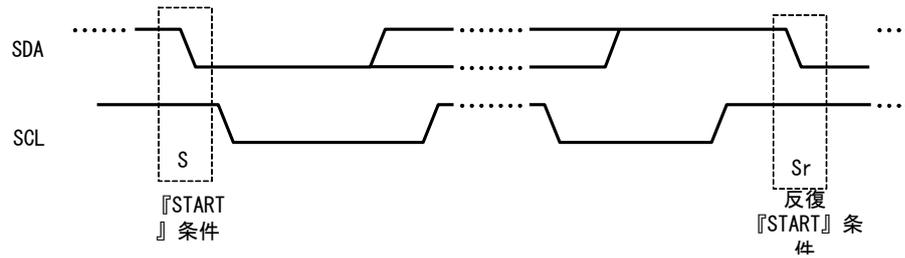


図 6-3

6.1.4 バイトフォーマット

SDAライン出力される各フレームの長さは必ず 9 ビットで、データバイト (8 ビット) および応答ビットで構成されます。1 回の転送に伝送できるフレーム数には制限はなく、何バイトでも送信可能。

各バイトの後にはアクノリッジ・ビットが必要です。

データは最上位ビット (MSB) から順に送信します。

レシーバは、クロックラインSCLを"L"に保持し、トランスミッタを待ち状態にすることができます。

6.1.5 アクノリッジ

データ転送を行う場合、必ずアクノリッジが必要です。アクノリッジ用のクロックパルスはマスタによって生成。アクノリッジクロックパルスが生成されると、トランスミッタはSDAラインを開放。

レシーバは、アクノリッジクロックパルスが"H"状態のときに、SDAラインが"L"状態で安定するように、SDAラインを"L"にしなければなりません。

アドレス指定されたレシーバは、メッセージがCBUSアドレスから始まる場合を除いて、各バイトが終了するたびにアクノリッジを生成しなければなりません。

スレーブ・レシーバがアドレスを確認できない場合、データラインSDLを"H"状態に保持 (=開放) しなければなりません。

この時、マスタは『STOP』条件を生成してデータの転送を中止したり、新しい転送をはじめるために、反復『START』条件を発生させることができます。

スレーブ・レシーバがアドレスを確認し、転送途中でデータバイトを受信できなくなった場合、アクノリッジを生成しないことにより、マスタに通知。

マスタがレシーバとなった場合、スレーブから送信された最後のデータバイトに対してアクノリッジしないことにより、スレーブにデータの終わりを通知。

この時、スレーブはSDLラインを開放しなければなりません。

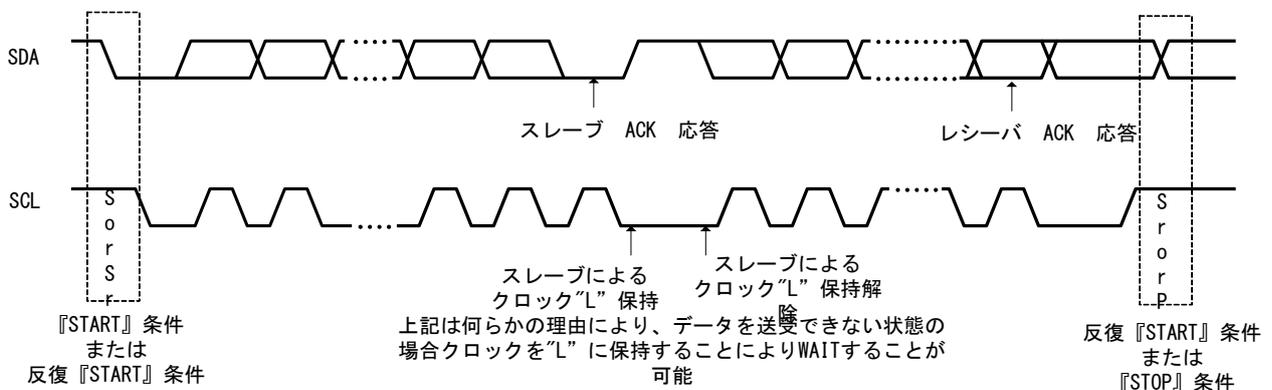


図 6-3

6.1.6 ビットアドレスのフォーマット

データ伝送は、『START』条件の後、スレーブのアドレスが送信されます。このアドレスは 7 ビットで構成され、8 ビット目はデータ方向ビット (R/W) が続く。(この 8 ビットを第一バイトとする)

R/W='0' の場合、マスタからデータ受信 (スレーブ・レシーバ) となり、R/W='1' の場合、マスタへデータ送信 (スレーブ・トランスミッタ) となります。

第一バイト

MSB	A6	A5	A4	A3	A2	A1	A0	R/W	LSB
スレーブアドレス								方向	

第一バイトには、以下の予約アドレスが存在します。

スレーブアドレス							R/W bit	説 明
b 6	b 5	b 4	b 3	b 2	b 1	b 0		
0	0	0	0	0	0	0	0	ゼネラルコールアドレス
0	0	0	0	0	0	0	1	スタートバイト
0	0	0	0	0	0	1	x	CSUBアドレス
0	0	0	0	0	1	0	x	異なるバスフォーマット用に予約
0	0	0	0	0	1	1	x	将来の利用のために予約
0	0	0	0	1	x	x	x	Hsモードマスタコード
1	1	1	1	1	x	x	x	将来の利用のために予約
1	1	1	1	0	x	x	x	10 ビットスレーブアドレス指定

表 6-1

注 意 事 項

本 LSI は上記すべてのアドレスの設定を禁止とします。
設定された場合の動作は保証しません。
ただし、ゼネラルコールアドレスは、デバイスアドレスを設定する時に用います。

6.1.7 タイミング

後章, I2C電气的特性参照

6.2 I2Cバス伝送手順

本LSIは、I2C仕様に基づき、マスタから伝送されるコマンドにより、各種処理をおこないます。以下にその伝送手順を記します。

6.2.1 レシーバ・トランスミッタ動作共通

本LSIは、内部動作実行中の書き込み動作は無効です。

ただし、ステータスの読み出しは有効

主な内部動作に時間を要する処理を以下に記します。

- ・ EEPROM アクセス動作(電源立上がりシーケンス中)

6.2.2 レシーバ動作

マスタより第一バイト(デバイスアドレス)を受信し、本LSIのアドレスと比較します。

合致した場合、R/Wビットを判断し(='0')、本LSIはレシーバとなりACK(='0')を返し、次のバイト受信待ちとなります。(レシーバ動作は、第一バイトの次に来るバイトは必ずレジスタアドレス指定バイトとなります。)

次にデータバイト取り込み、先に受信した指定アドレスへ書き込みACK(='0')を返し、内部アドレスをインクリメントします。

後続で受信するデータバイトは、インクリメントされたアドレスに順次書き込まれます。

受信フォーマット

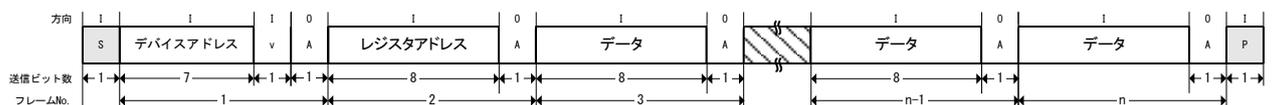


図 6-4

記号の説明

S: 『START』条件または反復『START』条件

R/W: データ方向指定ビット (= '0')

A: アクノリッジ (ACK)

N: ノーアクノリッジ (NACK)

P: 『STOP』条件、反復『START』条件

I: 受信

O: 送信

送受信ビットのnは原則的に8ビットですが、CBUSと混在接続でCBUS仕様では $1 \leq n$ となります。

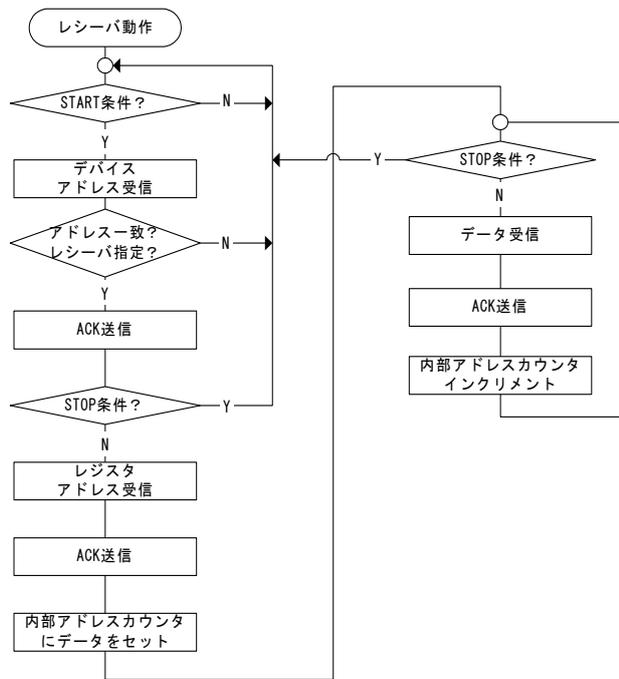
本LSIはCBUS互換の対応はしない為、CBUSアドレス指定を禁止とします。CBUS互換アドレスを受信した場合、応答しません。

受信フレーム数が2の場合、レジスタアドレスポインタをセットし、次に受信するトランスミッタ指定要求に備えます。

受信フレーム数が2以上の場合、指定されたレジスタアドレスをACK返信毎にインクリメントし、受信データの書き込みを行います。

指定されたアドレスにレジスタが存在しない場合もACK応答があります。

指定アドレスが上限(FF H)を超えた時 00 H に戻ります。



6.2.3 トランスミッタ動作

マスタより第一バイトを受信し、本LSIの指定アドレスと比較します。

合致した場合、R/Wビットを判断し(='1'), 本LSIはトランスミッタとなり、ACK(='0')を返し、次に続くクロックによりデータを送信。

この時送信するデータは、レシーバ動作で受信したレジスタアドレスの内容を送信。

リセット後、レシーバ動作の指定が無い場合、アドレス0のデータを送信。

ACK返信後、マスタがNACKを返した後、『STOP』条件または、反復『START』条件が発生するまで送信。

送信するデータは、指定レジスタアドレスの指示によるもので、レジスタの存在しないアドレスを指定された場合、データの有効性は保証しません。(不定データとなる)

マスタからの応答が「ACK」の場合、次に続くデータを準備し、「NACK」の場合、送信終了となります。

送信フォーマット

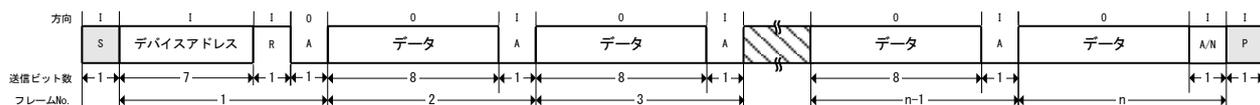


図 6-5

記号の説明

S: 『START』条件または反復『START』条件

SLA: スレーブアドレス

R/W: データ方向指定ビット (='1')

A: アクノリッジ (ACK)

N: ノーアクノリッジ (NACK)

P: 『STOP』条件、反復『START』条件

I: 受信

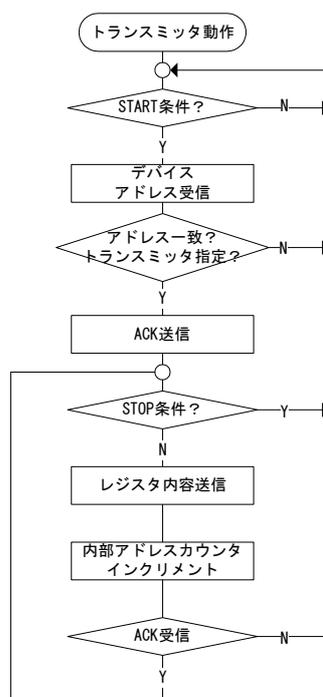
O: 送信

送信ビットnは8ビット

本LSIはCBUS互換の対応はしない為、CBUSアドレス指定を禁止とします。CBUS互換アドレスを受信した場合、応答しません。

転送フレーム数は1以上でI2C規格では上限は規定されていません

。

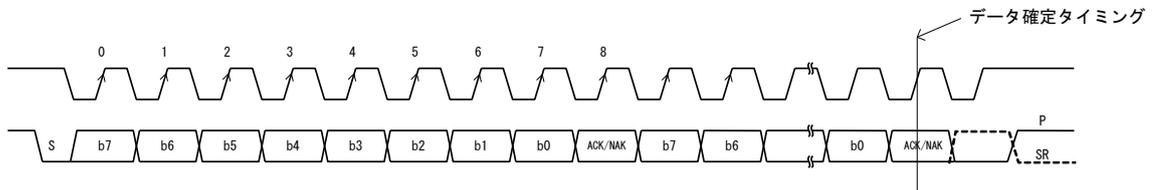


6.3 内部動作

6.3.1 レジスタセットタイミング

以下にインタフェース毎の動作開始タイミングを示します。

I2C I/F

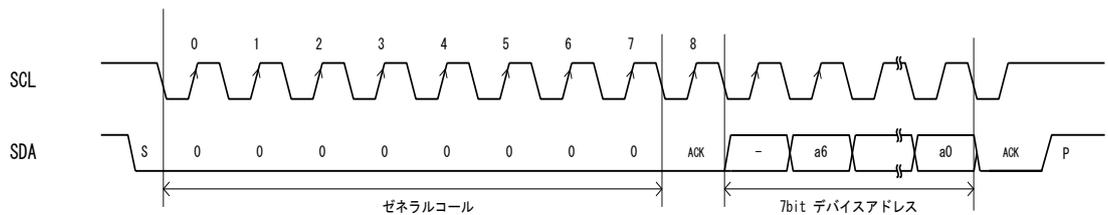


上記データ確定タイミングから3システムクロック以内に動作を開始

6.3.2 デバイスアドレスの設定

マスタより第一バイト(ゼネラルコールアドレス)を受信した場合、次に来る第二バイト目は、本LSIのデバイスアドレスとして認識し、デバイスアドレスレジスタへ転送されます。

注意) マスタは2バイト目以降は送信しない。(STOP条件にて終わる)



デバイスアドレス設定タイミング

※ デバイスアドレス設定は必ず初期設定時に行ってください。

EEPROMにデバイスアドレスデータを保存(I2CADレジスタ)することで次回以降の設定は不要です。
デバイスアドレスを変更した場合は他の補正レジスタ値を再度入力し直してください。

7 I2C 電気的特性

7.1 I2Cバス AC特性

以下に I2C I/F 仕様を転記する(フィリップス社 資料より)

AC 特性

項目	記号	高速モード		単位
		MIN.	MAX.	
SCL クロック周波数	f_{SCL}	0	400	kHz
ホールド時間(反復)『START』条件 この期間後の、最初のクロックパルスを生成	$t_{HD;ST}$ A	0.6	-	μs
SCL クロックの"L"の期間	t_{LOW}	1.3	-	μs
SCL クロックの"H"の期間	t_{HIGH}	0.6	-	μs
反復『START』条件のセットアップ時間	$t_{SU;DA}$ T	0.6	-	μs
データセットアップ時間	t_{BUF}	100 ⁽¹⁾	-	ns
SDA および SCL 信号の立ち上がり時間	t_r		300	ns
SDA および SCL 信号の立ち下り時間	t_f		300	ns
『STOP』条件のセットアップ時間	$t_{SU;ST}$ O	0.6	-	ns
『START』条件と『START』条件とのバスフリー時間	t_{BUF}	1.3	-	μs
入力フィルタによって抑圧されるスパイクのパルス幅	t_{SP}	0	50	ns

表 7-1

- (1) ファーストモード I2C バスデバイスを標準モード I2C バスシステムに使用することができますが、要求される条件 $t_{SU;DAT} \geq 250ns$ を満たさなければなりません。このことは、自動的に、そのデバイスが SCL 信号の"L"期間を延長しない状態となります。あるデバイスが SCL 信号の"L"期間を延長しない場合には SCL ラインが開放されるより $t_{r(max)} + t_{SU;DAT} = 1000 + 250 = 1250ns$ (標準モード時のデータビットを I2C バス仕様に従って) 以前に、次のデータを SDA ラインに出力しなければなりません。

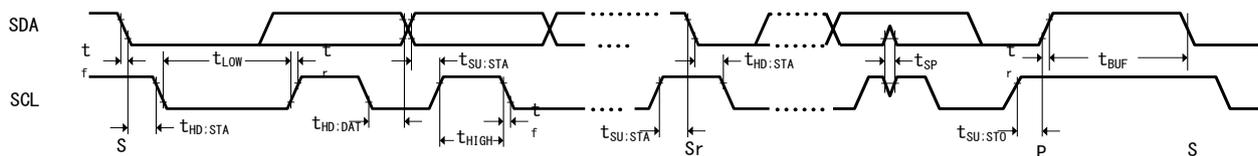


図 7-1

8 EEPROM 仕様 概要

本 LSI の内部には EEPROM を搭載されており、電源投入直後、EEPROM に保存されたデータが内部機能レジスタへ転送される機能をもっています。

内蔵 EEPROM へのアクセスはレジスタ間接方式で、インデックスレジスタ、データレジスタ、コントロールレジスタの3種を用いてアクセスを行います。

8.1 レジスタ構成

表 8-1 に本 LSI のレジスタ一覧を示します。

ADDR はレジスタのアドレス, R=Read Only W=Write Only R/W Read, Write

表 8-1 EEPROM 制御レジスタ一覧

AD DR	R/W	記号	EEP ROM ADD R	名 称	b7	b6	b5	b4	b3	b2	b1	b0
40 h	R/W	EPIND X	-	EEPROM Access Index	A7	A6	A5	A4	A3	A2	A1	A0
42 h	R/W	EPDAT AL	-	EEPROM Access Data L	D7	D6	D5	D4	D3	D2	D1	D0
43 h	R/W	EPDAT AH	-	EEPROM Access Data H	D15	D14	D13	D12	D11	D10	D9	D8
44 h	R/W	EPCTL 1	-	EEPROM Control/Status	STS	EPBE R	EPE R	EP BW	EPAR W	EPWR	EPA RR	EPRD
45 h	R/W	EPCTL 2	-	EEPROM Control/Status	EPEN STS	EPCP ON	-	-	-	-	EPD S	EPEN
46 h	R/W	EPCTL 3	-	EEPROM Control/Status	EETE ST	VEE2	VEE 1	-	-	-	-	EPCT L

8.1.1 レジスタ詳細

8.1.1.1 EEPROM Access Index Register [EPINDX]

機能	EEPROM アクセス用インデックス格納										
アドレス	40 h										
説明	EEPROM へアクセスを行うための、EEPROM アドレスを指定										
Bit field	bit No.	b7	b6	b5	b4	b3	b2	b1	b0		
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
	bit Name	A7	A6	A5	A4	A3	A2	A1	A0		
	bit Name	説 明									
	A[7:0]	EEPROM の読み書きアドレス									
初期値	00 h										

8.1.1.2 EEPROM Access Data Register [EPDATA]

機能	EEPROM アクセス用データ格納										
アドレス	42 h										
説明	EEPROM へ書き込むデータを指定、および、EEPROM 読み出し時のデータの読み出し用										
Bit field	bit No.	b7	b6	b5	b4	b3	b2	b1	b0		
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
	bit Name	D7	D6	D5	D4	D3	D2	D1	D0		
	bit Name	説 明									
	D[7:0]	書き込み時 EEPROM へ書き込みデータ 読み出し時 EEPROM からの読み出しデータ									

	初期値	00 h
--	-----	------

8.1.1.3 EEPROM Access Data Register [EPDATAH]

機能	EEPROM アクセス用データ格納								
アドレス	43 h								
説明	EEPROM へ書き込むデータを指定、および、EEPROM 読み出し時のデータの読み出し用								
Bit field	bit No.	b7	b6	b5	b4	b3	b2	b1	b0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	bit Name	D15	D14	D13	D12	D11	D10	D9	D8
	bit Name	説明							
	D[7:0]	書き込み時 EEPROM へ書き込みデータ 読み出し時 EEPROM からの読み出しデータ							
	初期値	00 h							

8.1.1.4 EEPROM Control/Status Register [EPCTL1]

機能	EEPROM の動作指定 / ステータス情報取得									
アドレス	44 h									
説明	EEPROM の動作状態の読み出し、レジスタ一括転送などの動作を制御する制御ビットに同時に1を書き込んだ場合、以下の優先順位で動作実行される。 EPRD→EPARR→EPWR→EPARW→EPBW→EPER→EPBER									
Bit field	bit No.	b7	b6	b5	b4	b3	b2	b1	b0	
	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	bit Name	STS	EPBER R	EPER	EPBW	EPAR W	EPWR	EPAR R	EPRD	
	- は書き込まれた内容が保持される									
	bit Name	説明								
	STS	EEPROM の動作状態 (b6 から b0-の or 出力)								
		=0	アイドル中							
		=1	動作中							
	EPBER	ブロックアドレス消去								
	EPER	EPINDX レジスタで指定されたアドレス消去								
	EPBW	EPINDX レジスタで指定されたブロックアドレスに EPDATA レジスタの内容を EEPROM に書き込む ※1								
	EPARW	レジスタの内容を EEPROM へ一括書き込み								
	EPWR	EPINDX レジスタで指定されたアドレスに EPDATA レジスタの内容を EEPROM に書き込む								
	EPARR	EEPROM から読み出しレジスタへ一括格納								
EPRD	EPINDX レジスタで指定された EEPROM アドレスからデータを読み出し、EPDATA レジスタに格納									
初期値	00 h									

EEPROM を制御する場合、EPCTL2 レジスタの EPEN ビットに 1 を書き込み、制御可能状態にして下さい。
EEPROM 制御終了後、EPCTL2 レジスタの EPDS ビットに 1 を書き込み、待機状態にして下さい。

※1

EPCTL3 レジスタの EPCTL ビットを ON/OFF する毎に、レジスタアドレスは 2 アドレスインクリメントされます。
全レジスタを書き込むには、EPCTL ビットをレジスタ数÷2 回 ON/OFF する必要があります。

8.1.1.5 EEPROM Control/Status Register [EPCTL2]

機能	EEPROMの動作指定								
アドレス	45 h								
説明	EEPROMの書き込み及び消去時の制御を行う								
Bit field	bit No.	b7	b6	b5	b4	b3	b2	b1	b0
	R/W	R	R	-	-	-	-	W	R/W
	bit Name	EPENST S	EPCPS TS	-	-	-	-	EPDS	EPEN
	- は書き込まれた内容が保持される								
	bit Name	説明							
	EPENSTS	EEPROM制御状態 1の時制御可能							
	EPDS	EEPROM制御不可状態へ設定							
	EPEN	EEPROM制御可能状態へ設定 1を書き込む事により、可能状態となる。							
初期値	00 h								

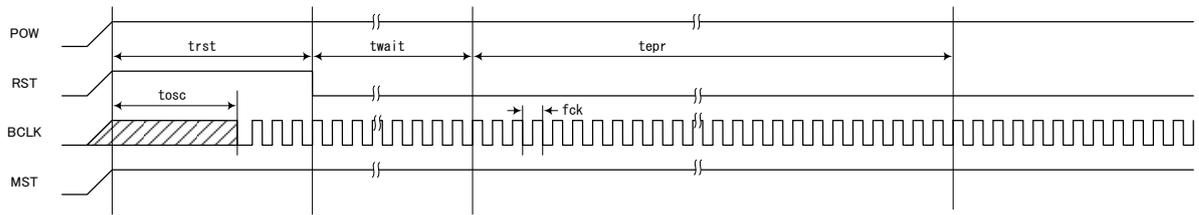
8.1.1.6 EEPROM Control/Status Register [EPCTL3]

機能	EEPROMの動作指定								
アドレス	46 h								
説明	EEPROMの書き込み及び消去時の制御を行う								
Bit field	bit No.	b7	b6	b5	b4	b3	b2	b1	b0
	R/W	R/W	R/W	R/W	-	-	-	-	R/W
	bit Name	EETEST	VEE2	VEE1	-	-	-	-	EPCTL
	- は書き込まれた内容が保持される								
	bit Name	説明							
	EETEST	TEST用 本ビットには必ず0を書き込む事							
	VEE2								
	VEE1								
EPCTL	書き込み及び消去時の時間制御 EPCTL1レジスタで書き込み動作、消去動作を指定した場合、本ビットを1にすることにより、動作を開始し、本ビットに0を書き込む事により、動作を終了させる。 本ビットはMin. 4mS、Max. 8mSの間、1にする事。								
初期値	00 h								

8.2 動作説明

8.2.1 電源投入時動作

電源投入後、内部回路のリセット解除されてから EEPROM より内部レジスタにデータを一括転送します。



項目	記号	時間			単位	備考
		min	typ.	max		
発振安定時間	tosc			TBD	uS	
発振周期	fck		320	1000	KHz	
リセット解除時間	trst	150		400	uS	VDD が 90%を超えてから
リセット解除後、EEPROM 読み出し開始までの時間	twait		10		サイクル	
EEPROM からの読み出し時間	tepr		512		サイクル	

8.2.2 共通事項

EEPROM をアクセスする前に、[EPCTL2]レジスタ、EPEN ビットに1をセットし、EEPROM を制御可能状態にして下さい。

また、EEPROM へのアクセスが完了したら、[EPCTL2]レジスタ、EPDS ビットに1をセットし、EEPROM を待機状態にして下さい。

8.2.3 制御禁止/許可動作

EEPROM へアクセスするには、[EPCTL2]レジスタの EPEN ビットに 1 をセット。

制御終了後は[EPCTL2]レジスタの EPDS ビットに 1 をセット。

8.2.4 読み出し動作

EEPROM から直接読み出しを行うには、[EPINDEX]レジスタに読み出したいアドレスをセットし、[EPCTL1]の EPRD ビットに1を書く事で、データレジスタに EEPROM の内容が転送されます。

EEPROM からデータレジスタへの転送中、制御レジスタの EPRD ビットは1が保持され、転送終了後、0クリアされます。

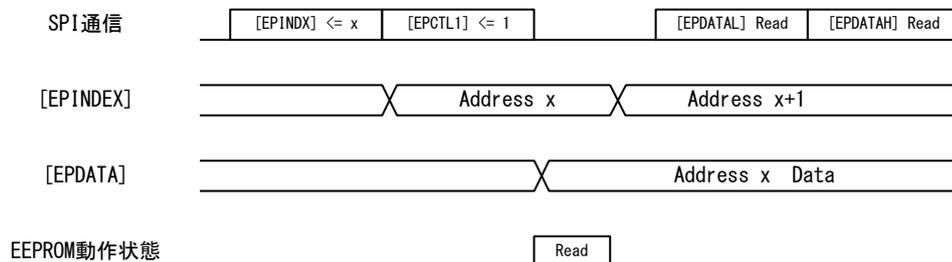


図 8-1 読み出しシーケンス

8.2.5 書き込み動作

EEPROM へ直接データを書き込むには、[EPINDEX]レジスタに書き込みを行う EEPROM のアドレス、[EPDATA]レジスタに書き込むデータをそれぞれセットし、[EPCTL1]レジスタの EPWR ビットに1をセットし、[EPCTL3]レジスタの EPCTL ビット ON→OFF する事で、EEPROM へデータが書き込まれます。

EPCTL ビットは Min. 4mS、Max. 8mS の間 ON にして下さい。

上記時間以下の場合、書き込まれないことがあります。

上記時間以上の場合、EEPROM の書き換え寿命が短くなります。

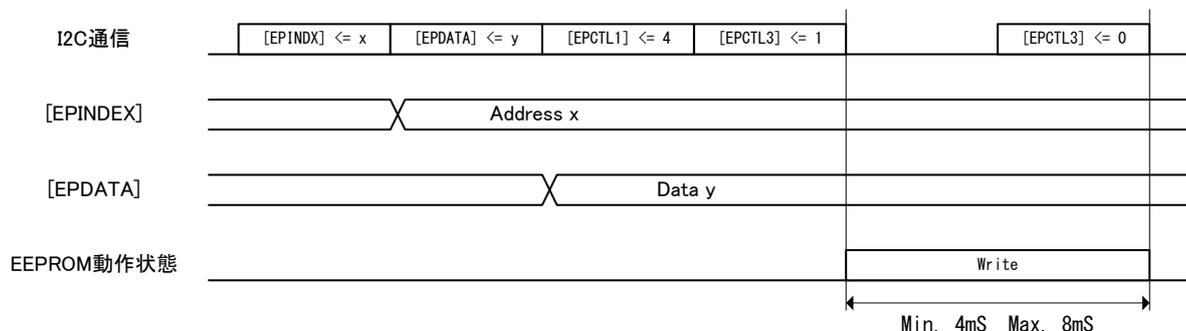


図 8-2 書き込みシーケンス

8.2.6 消去動作

EEPROM の特定アドレスを消去します。

[EPINDEX]レジスタに消去を行う EEPROM のアドレスをセットし、[EPCTL1]レジスタの EPWR ビットに1をセットし、[EPCTL3]レジスタの EPCTL ビット ON→OFF する事で、消去されます。

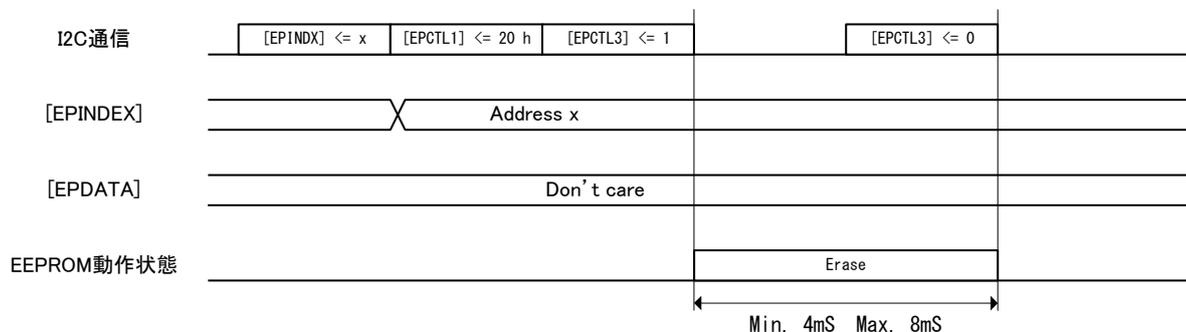


図 8-3 消去動作

8.2.7 一括書き込み動作

内部レジスタの内容を EEPROM に一括書き込みを行います。

レジスタが存在しないアドレスは不定データが書き込まれます。

[EPCTL1]レジスタの EPARW ビットに1を書き込み、[EPCTL3]レジスタの EPCTL ビットを ON/OFF を繰り返す事により、レジスタの内容を2バイト単位で EEPROM へ書き込みます。

64 バイト転送する事で、一括書き込みが終了。

途中で終了する場合、[EPCTL1]レジスタに 0 を書き込みクリアして下さい。

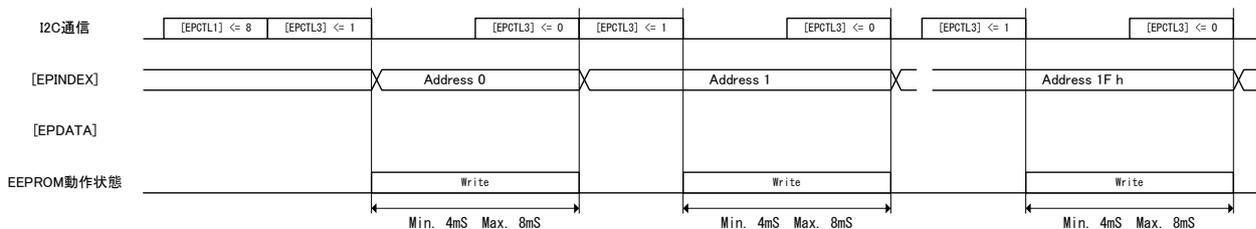


図 8-4 ブロック書き込みシーケンス

8.2.8 ブロック消去動作

EEPROM の一括消去を行います。

[EPCTL1]レジスタの EPBER ビットに1を書き込み、[EPCTL3]レジスタの EPCTL ビットを ON/OFF 動作を行います。

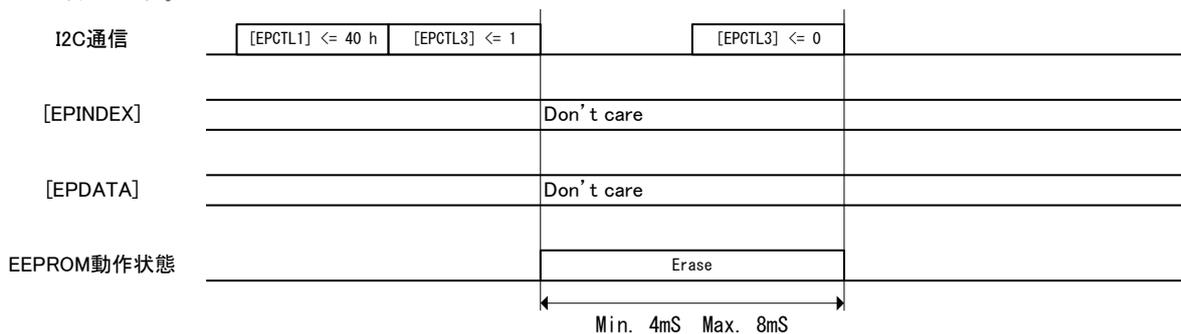


図 8-5 ブロック消去動作

8.2.9 ブロック書き込み

[EPDATA]レジスタの内容を EEPROM すべてのアドレスに書き込みます。

[EPCTL1]レジスタの EPBWR ビットに1を書き込み、[EPCTL3]レジスタの EPCTL ビットを ON/OFF 動作を行います。

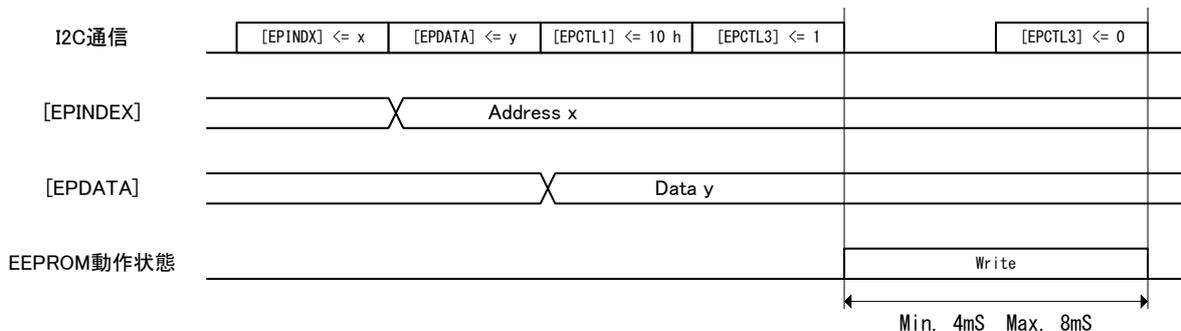


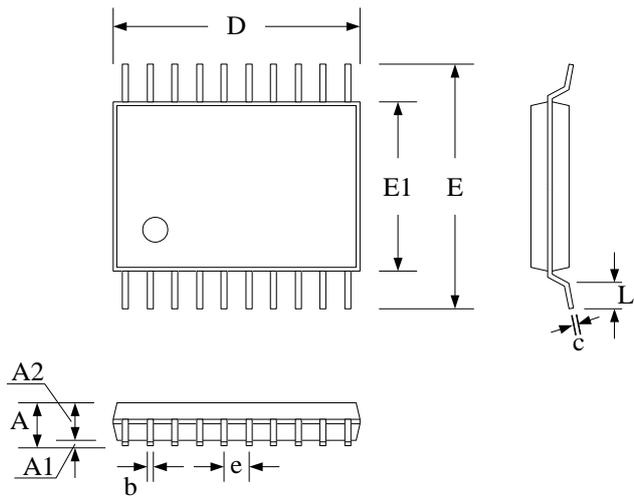
図 8-6 ブロック書き込み動作

8.3 特性

項目	min.	max.	単位
書込/消去時間	4	8	ms
データ保持期間	10		年
書込/消去回数@25°C	1×10 ⁵		
書込/消去回数@125°C	1×10 ⁴		
温度範囲	-40	125	°C

9 外形寸法

TSSOP20 ピンパッケージ



	min.	typ.	max.
D	6.4		6.6
E	6.2		6.6
E1	4.3		4.5
A			1.2
A1	0.05		0.15
A2	0.95	1	1.05
L	0.45	0.6	0.75
b	0.16	0.22	0.31
e		0.65	
c	0.09		0.2