

製品仕様書

製品名 AT1078

Ver. 1.0.0

発行日 2018年10月25日
株式会社 カンテック

目次

1. 規格

絶対最大定格

推奨使用条件

電気的特性

機能概要

2. ブロック図

3. 端子構成

4. 内部レジスタ構成

5. 内部レジスタ機能詳細

6. 回路機能説明

7. SPI 仕様

8. EEPROM 仕様

9. 一般仕様

信頼性検査

外形図および端子配置

マーク

はんだ付け条件

1 規格

1-1 絶対最大定格

GND=0V.

項目	記号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V_{DD}		-0.5		3.9	V
入力端子電圧	V_{IN}		-0.5		3.9	V
出力端子電圧	V_{OLO}	出力端子印加電圧	-0.5		3.9	V
出力電流	I_O		-20		20	mA
全損失	P_C				400	mW
保存温度範囲	T_{STG}	結露しないこと	-40		125	°C

1-2 推奨使用条件

項目	記号	条件	MIN.	TYP.	MAX.	単位
電源電圧範囲	V_{DD}		2.5		3.6	V
動作温度範囲	T_{OPR}	結露しないこと	-20		75	°C

* 標準的には、電源電圧は 3.0V もしくは 3.3V 使用することを想定。

1-3 電気的特性

特記無き場合、 $V_{DD}=3.3V$, $GND=0V$, $T_a=25^{\circ}C$ とする。

1-3-1 端子負荷仕様

項目	記号	条件	MIN.	TYP.	MAX.	単位
A電極容量	C_A	SA端子対地容量、非検出時、			20	pF
B電極容量	C_B	SB端子対地容量非検出時			20	pF
A, B電極オフセット容量	ΔC_{AB}	非検出時、CA-CB			5	pF
シールド電極容量	C_{SH}	CS0端子、対地容量			1500	pF
出力負荷容量	C_{VO}	出力端子			20	pF
出力負荷抵抗	R_{VO}	出力端子	10			K Ω
出力電流	I_{LO}	出力端子, @ $V_{LO}=0.5V$			20	mA

1-3-2 アナログ特性

項目	記号	条件	MIN.	TYP.	MAX.	単位
消費電流	I_{DD}	外部負荷無し		600	900	μA
CV変換利得	G_{CVC}	入力~CF0 (AD変換部まで)	0.05		8	V/pF
総合利得MAX	GF_{MAX}	入力~AD出力、[CSET], [GAD]=MAX		13.33		LSB/FF
総合利得MIN	GF_{MIN}	入力~AD出力、[CSET], [GAD]=MIN		62.5		LSB/pF
データ更新周期	t_{DAT}	8ch. のScan時間 ※1	50		75	ms
オフセット容量補正分解能	dC_{AB}	SA1~SA8 とSB端子間の容量補正		20		fF
オフセット温度変動	dV_{OS}	-20°C~75°C、補正後	-7		7	LSB
AD変換分解能	R_{AD}			8		Bit
AD変換直線性			-4		+4	LSB
電極駆動周波数	FD	CS0端子	13	16	19	kHz
AD用トリガ出力パルス幅	Adt		25		37.5	μs

※1 MOD レジスタ 00h 設定時。01h 設定では更に 2 倍、02h では 4 倍、03h 設定では 8 倍の更新周期となる。

1-3-3 Digital I/O

項目	記号	条件	MIN.	TYP.	MAX.	単位
出力電圧 (H)	V_{OH}	$I_{OH}=2mA$	$VDD-0.5$		VDD	V
出力電圧 (L)	V_{OL}	$I_{OL}=-2mA$	0		0.5	V
入力電圧 (H)	V_{IH}	入力ハイレベル	2			V
入力電圧 (L)	V_{IL}	入力ローレベル			0.5	V

2 ブロック図

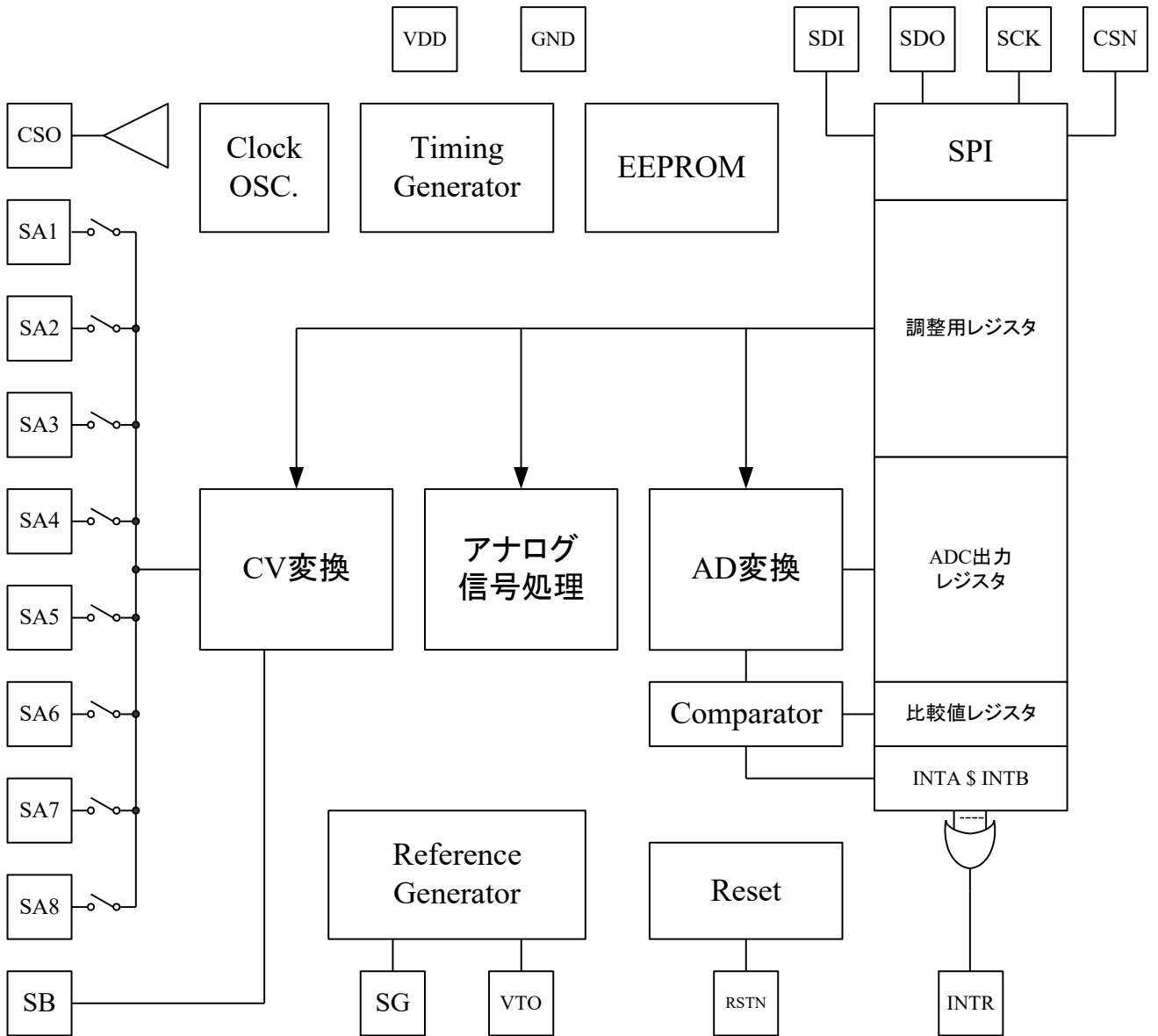


図 2-1 AT1078 ブロック図

3 端子構成

表 3-1 端子一覧

	端子名	I/O	機能概要
1	GND	P	グラウンド
2	CSN	I	SPI I/F チップセレクト (L Active)
3	SDO	O	シリアルデータ出力
4	SDI	I	シリアルデータ入力
5	SCK	I	シリアル転送クロック入力
6	RSTN	I	外部リセット (L Active)
7	SG	P (O)	信号グラウンド (内部発生)
8	VT0 ※	O	温度センサ出力端子
9	INTR	O	割込み出力 (AD トリガ出力と排他使用)
10	VDD	P	+電源端子
11	CS0	O	アクティブシールド駆動出力
12	SB	I	外乱抑制電極接続
13	SA1	I	近接センサ電極 1 接続端子
14	SA2	I	近接センサ電極 2 接続端子
15	SA3	I	近接センサ電極 3 接続端子
16	SA4	I	近接センサ電極 4 接続端子
17	SA5	I	近接センサ電極 5 接続端子
18	SA6	I	近接センサ電極 6 接続端子
19	SA7	I	近接センサ電極 7 接続端子
20	SA8	I	近接センサ電極 8 接続端子

※ テスト用端子 (OPEN 可)

4 内部レジスタ構成 内部レジスタ一覧

名称	アドレス	Bit 数	設定内容	R/W
CSET1	00H	6	SA1 CV 変換容量および積分容量設定	R/W
CSET2	01H	6	SA2 CV 変換容量および積分容量設定	R/W
CSET3	02H	6	SA3 CV 変換容量および積分容量設定	R/W
CSET4	03H	6	SA4 CV 変換容量および積分容量設定	R/W
CSET5	04H	6	SA5 CV 変換容量および積分容量設定	R/W
CSET6	05H	6	SA6 CV 変換容量および積分容量設定	R/W
CSET7	06H	6	SA7 CV 変換容量および積分容量設定	R/W
CSET8	07H	6	SA8 CV 変換容量および積分容量設定	R/W
VBC1	08H	8	SA1 オフセット補正粗調整	R/W
VBC2	09H	8	SA2 オフセット補正粗調整	R/W
VBC3	0AH	8	SA3 オフセット補正粗調整	R/W
VBC4	0BH	8	SA4 オフセット補正粗調整	R/W
VBC5	0CH	8	SA5 オフセット補正粗調整	R/W
VBC6	0DH	8	SA6 オフセット補正粗調整	R/W
VBC7	0EH	8	SA7 オフセット補正粗調整	R/W
VBC8	0FH	8	SA8 オフセット補正粗調整	R/W
VBF1	10H	8	SA1 オフセット電圧微調整	R/W
VBF2	11H	8	SA2 オフセット電圧微調整	R/W
VBF3	12H	8	SA3 オフセット電圧微調整	R/W
VBF4	13H	8	SA4 オフセット電圧微調整	R/W
VBF5	14H	8	SA5 オフセット電圧微調整	R/W
VBF6	15H	8	SA6 オフセット電圧微調整	R/W
VBF7	16H	8	SA7 オフセット電圧微調整	R/W
VBF8	17H	8	SA8 オフセット電圧微調整	R/W
GAD1	18H	8	SA1 AD 変換感度設定	R/W
GAD2	19H	8	SA2 AD 変換感度設定	R/W
GAD3	1AH	8	SA3 AD 変換感度設定	R/W
GAD4	1BH	8	SA4 AD 変換感度設定	R/W
GAD5	1CH	8	SA5 AD 変換感度設定	R/W
GAD6	1DH	8	SA6 AD 変換感度設定	R/W
GAD7	1EH	8	SA7 AD 変換感度設定	R/W
GAD8	1FH	8	SA8 AD 変換感度設定	R/W
ADC1	20H	8	SA1 AD 変換結果	R
ADC2	21H	8	SA2 AD 変換結果	R
ADC3	22H	8	SA3 AD 変換結果	R
ADC4	23H	8	SA4 AD 変換結果	R
ADC5	24H	8	SA5 AD 変換結果	R
ADC6	25H	8	SA6 AD 変換結果	R
ADC7	26H	8	SA7 AD 変換結果	R
ADC8	27H	8	SA8 AD 変換結果	R
INT1	28H	8	割込み信号出力レベル設定 1	R/W
INT2	29H	8	割込み信号出力レベル設定 2	R/W
INTA	2AH	8	Int1 を発生させた入力 ch. の表示	R
INTB	2BH	8	Int2 を発生させた入力 ch. の表示	R
MOD	2CH	8	電荷平行型 AD 変換回路の 1 周期のクロック数を設定	R/W
	2DH~2FH		未使用	
BTC	30H	8	Offset 温度補正	R/W
VTB	31H	8	温度センサ Offset 補正	R/W
FSET	32H	4	内蔵発振周波数設定	R/W
INI	33H	6	初期状態設定レジスタ	R/W
CHSEL	34H	4	使用チャンネル選択レジスタ	R/W
	35H~36H		未使用	
VER	37H	8	デバイスバージョン確認レジスタ	R
	38H~3FH		未使用	

5 内部レジスタ機能詳細

CSET

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CSET	-	-	Cint1	Cint0	Cvo1	Cvo0	Ccv1	Ccv0

CV 変換回路の容量値設定。(感度調整)

Ccv : CV 変換容量

Ccv1	Ccv0	容量値
L	L	60pF
L	H	30pF
H	L	15pF
H	H	6pF

Cvo : CV 変換結果転送容量

Cvo1	Cvo0	容量値
L	L	7pF
L	H	14pF
H	L	21pF
H	H	28pF

Cint : CV 変換結果積分容量

Cint1	Cint0	容量値
L	L	56pF
L	H	42pF
H	L	28pF
H	H	14pF

AD 変換部までの感度 = $VDD \times Cvo \times 8 / (Ccv \times Cint)$ (V/pF)

※VDD : 電源電圧 (V)

VBC

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
VBC	Vbc7	Vbc6	Vbc5	Vbc4	Vbc3	Vbc2	Vbc1	Vbc0

入力容量のオフセットキャンセル量を設定する。

VBF

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
VBF	Vbf7	Vbf6	Vbf5	Vbf4	Vbf3	Vbf2	Vbf1	Vbf0

出力値微調整

GAD

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
GAD	GAD7	GAD6	GAD5	GAD4	GAD3	GAD2	GAD1	GAD0

AD 変換回路の変換係数設定。1LSB 当りの CV 変換電圧を設定する。

ADCn

Even	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ADCn	ADCn7	ADCn6	ADCn5	ADCn4	ADCn3	ADCn2	ADCn1	ADCn0

AD 変換結果の格納用レジスタ。読み出し専用。

INT1、2

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
INT	Int7	Int6	Int5	Int4	Int3	Int2	Int1	Int0

INT: 割込み出力レベルの設定。いずれかの入力チャンネルの AD 変換結果がこの値を超えると「INTR」出力端子が”H”となり、INTA および INTB レジスタに割込みを発生した入力チャンネルが記録される。

INTA、B（読み出し専用）

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
INTA/B	InA/B7 (SA8)	InA/B6 (SA7)	InA/B5 (SA6)	InA/B4 (SA5)	InA/B3 (SA4)	InA/B2 (SA3)	InA/B1 (SA2)	InA/B0 (SA1)

INTA: INT1 の割込み発生入力の表示レジスタ。INT1 を発生させた入力チャネルの bit が” H” となる。
 INTB: INT2 の割込み発生入力の表示レジスタ。INT2 を発生させた入力チャネルの bit が” H” となる。
 INTA または INTB レジスタを読み出すと、該当するレジスタはクリアされる。（ただし読み出し終了後にシリアル転送クロック SCK を 2 クロック以上多く入力する必要がある。）
 両レジスタの内容がクリアされると「INTR」出力端子は” L” となる。

MOD

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
MOD	-	-	-	-	-	-	MOD1	MOD0

電荷平行型 AD 変換回路の 1 周期の積分回数および AD 変換カウンタ bit 数を設定。

積分回数を増やすことでデータ更新周期は増加。

AD 変換結果はカウンタの上位 8bit を該当する内部レジスタへ転送。

MOD1	MOD0	積分回数	カウンタ	データ更新周期
L	L	128	8bit	62.5ms
L	H	256	9bit	125ms
H	L	512	10bit	250ms
H	H	1024	11bit	500ms

※ データ更新周期は 8ch 動作時。
 使用 ch 数 n によりデータ更新周期は n/8 となる。

BTC

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
BTC	Btc7	Btc6	Btc5	Btc4	Btc3	Btc2	Btc1	Btc0

オフセット温度補正係数設定。

VTB

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
VTB	Vtb7	Vtb6	Vtb5	Vtb4	Vtb3	Vtb2	Vtb1	Vtb0

内蔵温度センサの出力値のオフセット調整を行なうレジスタ。

通常は調整しないため、ユーザーズマニュアル等には記述しない。

FSET

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
FSET	-	-	-	-	FSET3	FSET2	FSET1	FSET0

FSET: 内蔵発振回路の周波数調整を行うレジスタ。検出周期の精度を要求される場合に使用する。

INI

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
INI	-	-	ADO	SIN	BCC	CN2	CN1	CN0

接続されるセンサ電極容量に応じて初期状態を設定する。

ADO: INTR 端子出力を AD 用のトリガ出力に設定 (L: INTR 出力 H: AD トリガ出力)

SIN: 入力に対する出力の極性を設定。

BCC: 入力オフセット容量の補正方向を設定。(L: SA<SB, H: SA>SB)

CN: センサ電極のミル容量値 (非検出時の容量値) に合わせて設定。(厳密に合わせる必要は無い。)

CN2	CN1	CN0	容量値
L	L	L	2.7pF 以下
L	L	H	2.7~5.2pF
L	H	L	5.2~7.7pF
L	H	H	7.7~10.2pF
H	L	L	10.2~12.7pF
H	L	H	12.7~15.2pF
H	H	L	15.2~17.7pF
H	H	H	17.7~20.2pF

CHSEL

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CHSEL	-	-	-	-	CHSEL3	CHSEL2	CHSEL1	CHSEL0

使用チャンネル選択レジスタ。

CHSEL3 : L 単独固定チャンネルモード

下位 3 ビットで入力チャンネル 1~8 までを選択し当該チャンネルのみ使用する。

CHSEL3 : H 動作チャンネル数選択モード

下位 3 ビットで入力チャンネル 1~何チャンネルを使用するかを選択。

CHSEL3 : L				CHSEL3 : H			
CHSEL2	CHSEL1	CHSEL0	状態	CHSEL2	CHSEL1	CHSEL0	状態
L	L	L	SA1 のみ使用	L	L	L	禁止
L	L	H	SA2 のみ使用	L	L	H	SA1~2 を使用
L	H	L	SA3 のみ使用	L	H	L	SA1~3 を使用
L	H	H	SA4 のみ使用	L	H	H	SA1~4 を使用
H	L	L	SA5 のみ使用	H	L	L	SA1~5 を使用
H	L	H	SA6 のみ使用	H	L	H	SA1~6 を使用
H	H	L	SA7 のみ使用	H	H	L	SA1~7 を使用
H	H	H	SA8 のみ使用	H	H	H	SA1~8 を使用

6 回路機能説明

6-1 CV 変換回路

端子 SAn、SB に接続される静電容量値の差を電圧に変換する。それぞれ CV 変換した後電圧で差分をとる。その差分出力を S/H したのちに AD 変換する。

6-2 電荷平衡型 AD 変換回路

CV 変換回路の出力を積分すると同時に AD 変換する。

MOD レジスタにより積分回数を設定。AD 変換結果は内部レジスタに書き込む。

MOD レジスタの設定値に対し AD 変換カウンタの bit 数も変化するが AD 変換結果は常に上位 8bit を出力。

※AD 出力 MAX 値について

積分回数 128 回設定時は FDh (場合により FEh まで出力されるが FDh を上限値とする。)、

積分回数 256 回設定時は FEh (場合により FFh まで出力されるが FEh を上限値とする。)、

積分回数設定 512、1024 回設定時は FFh となる。

6-3 割込み出力

AD 変換回路のいずれかのチャンネル出力が「INT1」または「INT2」レジスタのデータを超えると、INTR 出力を”H”にすると同時に INTA または INTB レジスタの当該 bit に”1”を書き込む。

INTA、INTB レジスタを読み出すことで該当レジスタはクリアされ INTR 出力を“L”にする。

初期設定レジスタ INI の ADO ビットが 1 の時は、AD 変換完了時に INTR に“H”パルス (最小幅 25 μ s) が出力される。

※INTR 端子についてはチップセレクト端子 CSN での制御は無し。

複数個を使用する場合 INTR 端子出力どうしが衝突しないよう注意。

6-4 オフセット補正回路

各入力 ch. 毎に SAn 端子と SB 端子間の静電容量差を補正する。

6-5 シールドドライブ回路

電極接続ケーブルおよび電極背面と周辺との静電容量結合を遮蔽するため、常に、端子 SAn、SB と同じ電圧を端子 CS0 に出力する。

6-6 クロック発生器

内蔵発振器を元に、各種駆動タイミング信号を生成する。

6-7 外部リセット

RSTN 端子を“L”にすることで全補正レジスタ値はクリアされ、リセット解除後、再度 EEPROM に設定されたデータを読み込む。

IC 内部でプルアップされていないため、RSTN を使用しない場合は外部でのプルアップが必要。

7 SPI 仕様 概要

SPI I/F は CSN, SCK, SDI, SDO の 4 線で構成されるシリアルインタフェースで、連続した(シーケンシャル)読み出しおよび書き込み動作可能である。

アドレスに続くデータを連続して送り出す事ができ、アドレスはインクリメントされる。

端子構成

SPI I/F の端子構成を表 7-1 に示す。

表 7-1 端子構成

端子名	I/O	説明	備考
CSN	I	本 LSI 選択信号端子	
SCK	I	クロック入力端子	
SDI	I	シリアルデータ入力端子	
SDO	O	シリアルデータ出力端子	

動作説明

CSN="L"を検出後、最初の SK の立上エッジで SDI 端子状態を保持し、読み出し/書き込みを判断する。続く、SK (b2 から b8) の立上エッジで SDI 端子状態をシフトレジスタに取り込み、b8 の立上直後に、レジスタアドレスとして保存される。

読み出しの場合 (図 7-1 及び 図 7-2)

b8 および b16 (以降 8 の倍数クロック) の立下後、指定されたアドレスからレジスタデータをシフトレジスタへ転送し、後続クロックの立上でシフトを行う。

書き込みの場合 (図 7-3 及び 図 7-4)

b8 クロック後も SK の立上エッジで SDI 端子状態をシフトレジスタに取り込み、b16 (以降 8 の倍数クロック) の立下後に指定レジスタへデータを書き込む。

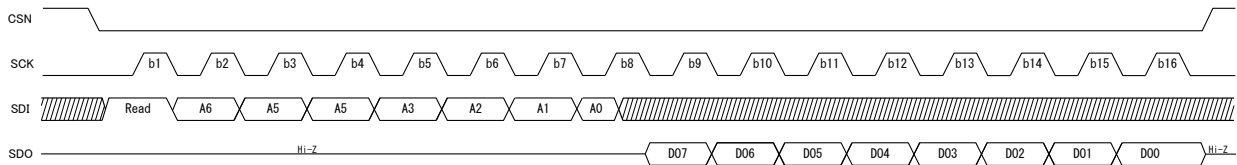


図 7-1 読み出し動作

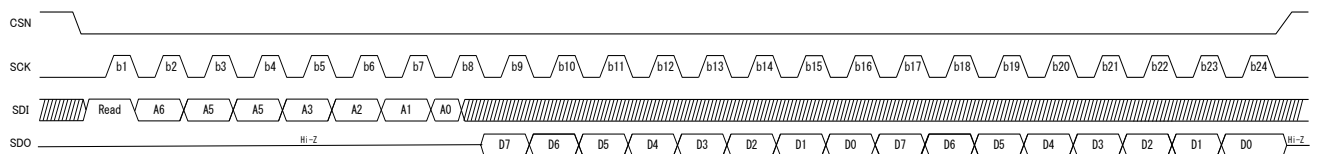


図 7-2 連続読み出し動作

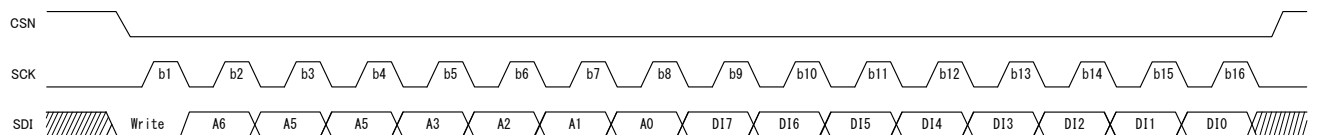


図 7-3 書き込み動作

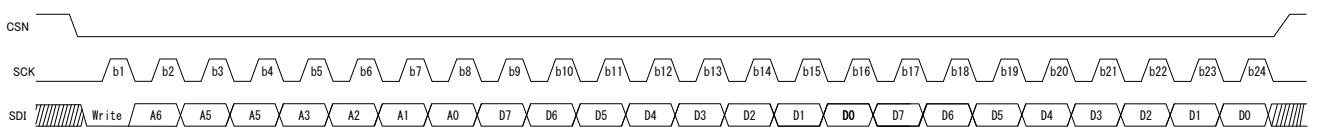


図 7-4 連続書き込み動作

外部I/Fタイミング

1-1-1 レジスタセットタイミング

図 7-5 にレジスタセットタイミングを示す。

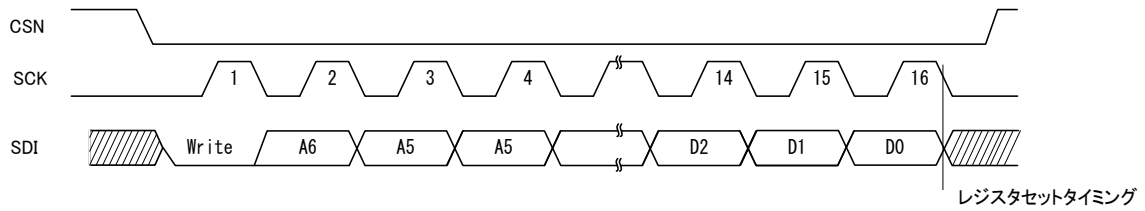


図 7-5 レジスタセットタイミング

AC特性

表 7-2 AC 特性

項目	記号	-40~+85°C			単位
		min	typ	max	
CS セットアップ時間	t_{CSS}	0.4	-	-	μs
CS ホールド時間	t_{CSH}	0	-	-	μs
CS ディセレクト時間	t_{CDS}	0.2	-	-	μs
データセットアップ時間	t_{DS}	0.2	-	-	μs
データホールド時間	t_{DH}	0.2	-	-	μs
出力遅延時間	t_{PD}	-	-	0.8	μs
クロック周波数	f_{SK}	0	-	0.5	MHz
SCK クロック”L”時間	t_{SKL}	0.5	-	-	μs
SCK クロック”H”時間	t_{SKH}	0.5	-	-	μs
SCK”L”ホールド時間	t_{SKLH}	0.5	-	-	μs
出力ディスエーブル時間	t_{HZ1}	0	-	0.5	μs
出カイネーブル時間	t_{SV}	0	-	0.5	μs

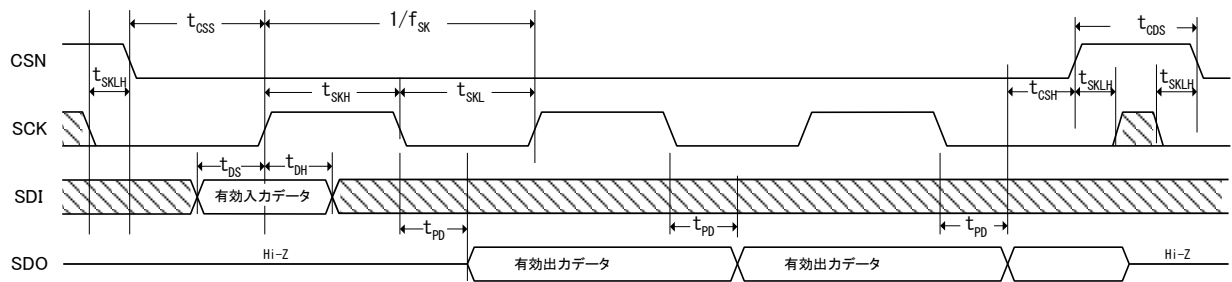


図 7-6 タイミング図

CSN に “H” を入力している期間、SCK および SDI 入力は無効となり、SDO 端子はハイインピーダンスとなる。
 ※CSN による制御は SPI インターフェース用上記 3 端子のみ。その他のロジック入出力端子 (RSTN、INTR) への制御は行っていない。

8 EEPROM 仕様

概要

本 LSI の内部には EEPROM を搭載されており、電源投入直後、EEPROM に保存されたデータが内部機能レジスタへ転送される機能をもっている。

内蔵 EEPROM へのアクセスはレジスタ間接方式で、インデックスレジスタ、データレジスタ、コントロールレジスタの3種を用いてアクセスを行う。

レジスタ構成

表 8-1に本 LSI のレジスタ一覧を示す。

ADDR はレジスタのアドレス, R=Read Only W=Write Only R/W Read, Write

表 8-1 EEPROM 制御レジスタ一覧

ADDR	R/W	記号	EEPROM ADDR	名称	b7	b6	b5	b4	b3	b2	b1	b0
40 h	R/W	EPINDX	-	EEPROM Access Index	-	-	A5	A4	A3	A2	A1	A0
42 h	R/W	EPDATAL	-	EEPROM Access Data L	D7	D6	D5	D4	D3	D2	D1	D0
43 h	R/W	EPDATAH	-	EEPROM Access Data H	D15	D14	D13	D12	D11	D10	D9	D8
44 h	R/W	EPCTL1	-	EEPROM Control/Status	STS	EPBER	EPER	EPBW	EPARW	EPWR	EPARR	EPRD
45 h	R/W	EPCTL2	-	EEPROM Control/Status	EPENSTS	EPCPON	-	-	-	-	EPDS	EPEN
46 h	R/W	EPCTL3	-	EEPROM Control/Status	EETEST	VEE2	VEE1	-	-	-	-	EPCTL

レジスタ詳細

EEPROM Access Index Register [EPINDX]

機能	EEPROM アクセス用インデックス格納									
アドレス	40 h									
説明	EEPROM へアクセスを行うための、EEPROM アドレスを指定									
Bit field	bit No.	b7	b6	b5	b4	b3	b2	b1	b0	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	bit Name	-		A5	A4	A3	A2	A1	A0	
	bit Name	説明								
	A[5:0]	EEPROM の読み書きアドレス b6~b7 に書き込まれたデータは保持される。								
	初期値	00 h								

EEPROM Access Data Register [EPDATAL]

機能	EEPROM アクセス用データ格納									
アドレス	42 h									
説明	EEPROM へ書き込むデータを指定、および、EEPROM 読み出し時のデータの読み出し用									
Bit field	bit No.	b7	b6	b5	b4	b3	b2	b1	b0	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	bit Name	D7	D6	D5	D4	D3	D2	D1	D0	
	bit Name	説明								
	D[7:0]	書き込み時 EEPROM へ書き込みデータ 読み出し時 EEPROM からの読み出しデータ								
	初期値	00 h								

EEPROM Access Data Register [EPDATAH]

機能	EEPROM アクセス用データ格納								
アドレス	43 h								
説明	EEPROM へ書き込むデータを指定、および、EEPROM 読み出し時のデータの読み出し用								
Bit field	bit No.	b7	b6	b5	b4	b3	b2	b1	b0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	bit Name	D15	D14	D13	D12	D11	D10	D9	D8
	bit Name	説明							
	D[7:0]	書き込み時 EEPROM へ書き込みデータ 読み出し時 EEPROM からの読み出しデータ							
	初期値	00 h							

EEPROM Control/Status Register [EPCTL1]

機能	EEPROM の動作指定/ステータス情報取得								
アドレス	44 h								
説明	EEPROM の動作状態の読み出し、レジスタ一括転送などの動作を制御する 制御ビットに同時に 1 を書き込んだ場合、以下の優先順位で動作実行される。 EPRD→EPARR→EPWR→EPARW→EPBW→EPER→EPBER								
Bit field	bit No.	b7	b6	b5	b4	b3	b2	b1	b0
	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	bit Name	STS	EPBER	EPER	EPBW	EPARW	EPWR	EPARR	EPRD
	- は書き込まれた内容が保持される								
	bit Name	説明							
	STS	EEPROM の動作状態 (b6 から b0-の or 出力)							
		=0	アイドル中						
	=1	動作中							
	EPBER	ブロックアドレス消去							
	EPER	EPINDEX レジスタで指定されたアドレス消去							
	EPBW	EPINDEX レジスタで指定されたブロックアドレスに EPDATA レジスタの内容を EEPROM に書き込む ※1							
	EPARW	レジスタの内容を EEPROM へ一括書き込み							
EPWR	EPINDEX レジスタで指定されたアドレスに EPDATA レジスタの内容を EEPROM に書き込む								
EPARR	EEPROM から読み出しレジスタへ一括格納								
EPRD	EPINDEX レジスタで指定された EEPROM アドレスからデータを読み出し、EPDATA レジスタに格納								
初期値	00 h								

EEPROM を制御する場合、EPCTL2 レジスタの EPEN ビットに 1 を書き込み、制御可能状態にする事。
EEPROM 制御終了後、EPCTL2 レジスタの EPDS ビットに 1 を書き込む事。

※1

EPCTL3 レジスタの EPCTL ビットを ON/OFF する毎に、レジスタアドレスは 2 アドレスインクリメントされる。
全レジスタを書き込むには、EPCTL ビットをレジスタ数÷2 回 ON/OFF する必要がある。

EEPROM Control/Status Register [EPCTL2]

機能	EEPROM の動作指定								
アドレス	45 h								
説明	EEPROM の書き込み及び消去時の制御を行う								
Bit field	bit No.	b7	b6	b5	b4	b3	b2	b1	b0
	R/W	R	R	-	-	-	-	W	R/W
	bit Name	EPENSTS	EPCPSTS	-	-	-	-	EPDS	EPEN
	- は書き込まれた内容が保持される								
	bit Name	説明							
	EPENSTS	EEPROM 制御状態 1 の時制御可能							
	EPDS	EEPROM 制御不可状態へ設定							
	EPEN	EEPROM 制御可能状態へ設定 1 を書き込む事により、可能状態となる。							
初期値	00 h								

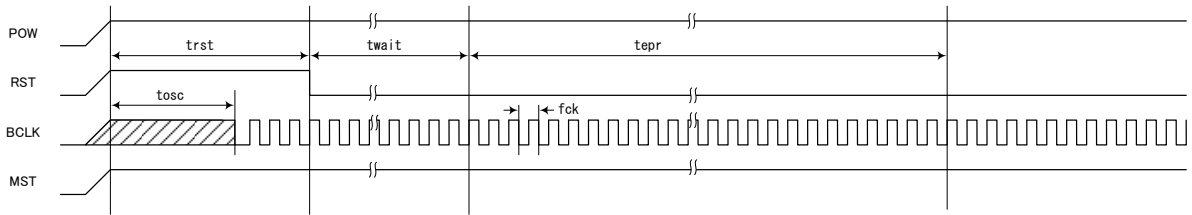
EEPROM Control/Status Register [EPCTL3]

機能	EEPROM の動作指定								
アドレス	46 h								
説明	EEPROM の書き込み及び消去時の制御を行う								
Bit field	bit No.	b7	b6	b5	b4	b3	b2	b1	b0
	R/W	R/W	R/W	R/W	-	-	-	-	R/W
	bit Name	EETEST	VEE2	VEE1	-	-	-	-	EPCTL
	- は書き込まれた内容が保持される								
	bit Name	説明							
	EETEST	TEST 用 本ビットには必ず 0 を書き込む事							
	VEE2								
	VEE1								
EPCTL	書き込み及び消去時の時間制御 EPCTL1 レジスタで書き込み動作、消去動作を指定した場合、本ビットを 1 にすることにより、動作を開始し、本ビットに 0 を書き込む事により、動作を終了させる。 本ビットは Min. 4mS、Max. 8mS の間、1 にする事。								
初期値	00 h								

動作説明

電源投入時動作

電源投入後、内部回路のリセット解除されてから EEPROM より内部レジスタにデータを一括転送する。



項目	記号	時間			単位	備考
		min	typ.	max		
発振安定時間	tosc			TBD	uS	
発振周期	fck		250	1000	KHz	
リセット解除時間	trst	150		400	uS	VDD が 90% を超えてから
リセット解除後、EEPROM 読み出し開始までの時間	twait		10		サイクル	
EEPROM からの読み出し時間	tepr		512		サイクル	

共通事項

EEPROM をアクセスする前に、[EPCTL2] レジスタ、EPEN ビットに 1 をセットし、EEPROM を制御可能状態にする事。

また、EEPROM へのアクセスが完了したら、[EPCTL2] レジスタ、EPDS ビットに 1 をセットし、EEPROM を待機状態にする事。

制御禁止／許可動作

EEPROM へアクセスするには、[EPCTL2] レジスタの EPEN ビットに 1 をセットする。

制御終了後は[EPCTL2] レジスタの EPDS ビットに 1 をセットする事。

読み出し動作

EEPROM から直接読み出しを行うには、[EPINDEX] レジスタに読み出したいアドレスをセットし、[EPCTL1] の EPRD ビットに 1 を書く事で、データレジスタに EEPROM の内容が転送される。

EEPROM からデータレジスタへの転送中、制御レジスタの EPRD ビットは 1 が保持され、転送終了後、0 クリアされる。

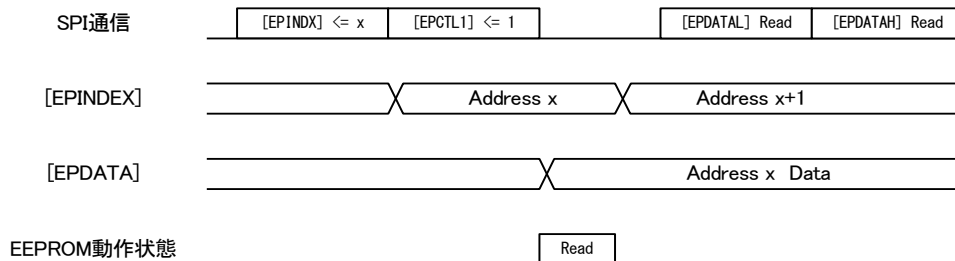


図 8-1 読み出しシーケンス

書き込み動作

EEPROM へ直接データを書き込むには、[EPINDEX]レジスタに書き込みを行う EEPROM のアドレス、[EPDATA]レジスタに書き込むデータをそれぞれセットし、[EPCTL1]レジスタの EPWR ビットに 1 をセットし、[EPCTL3]レジスタの EPCTL ビット ON→OFF する事で、EEPROM へデータが書き込まれる。

EPCTL ビットは Min. 4mS、Max. 8mS の間 ON にすること。

上記時間以下の場合、書き込まれないことがある。

上記時間以上の場合、EEPROM の書き換え寿命が短くなる。

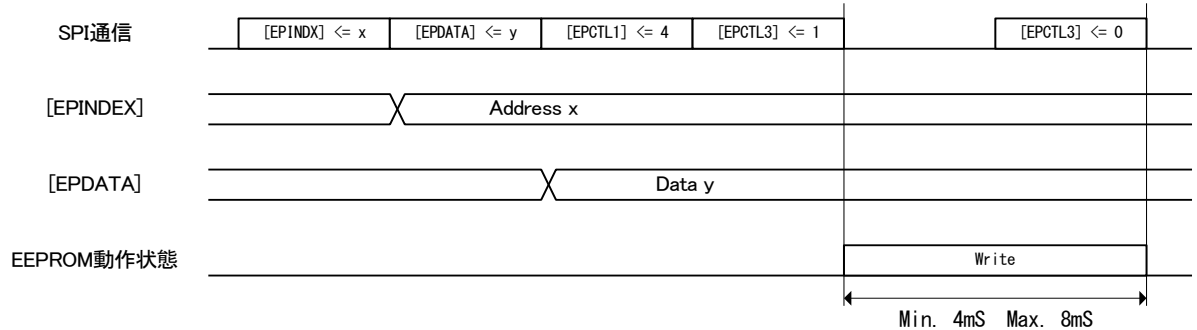


図 8-2 書き込みシーケンス

消去動作

EEPROM の特定アドレスを消去する。

[EPINDEX]レジスタに消去を行う EEPROM のアドレスをセットし、[EPCTL1]レジスタの EPWR ビットに 1 をセットし、[EPCTL3]レジスタの EPCTL ビット ON→OFF する事で、消去される。

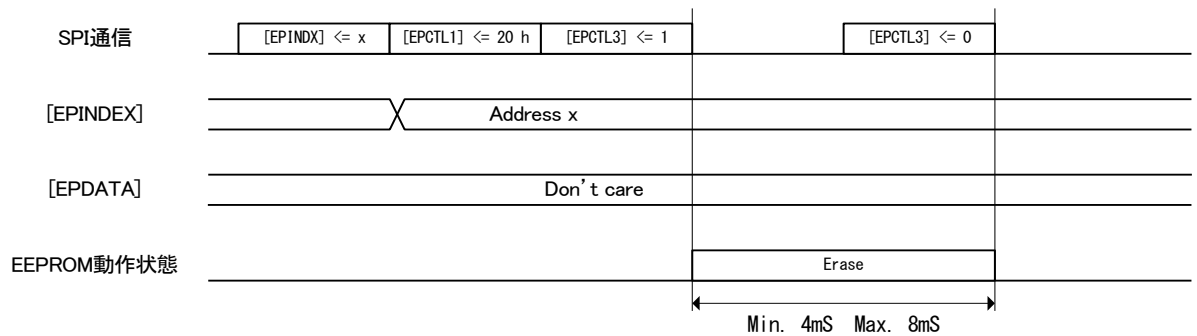


図 8-3 消去動作

一括書き込み動作

レジスタの内容を EEPROM に一括書き込みを行う。

レジスタが存在しないアドレスは不定データが書き込まれる。

[EPCTL1]レジスタの EPARW ビットに 1 を書き込み、[EPCTL3]レジスタの EPCTL ビットを ON/OFF を繰り返す事により、レジスタの内容を 2 バイト単位で EEPROM へ書き込む。

64 バイト転送する事で、一括書き込みが終了。

途中で終了する場合、[EPCTL1]レジスタに 0 を書き込みクリアすること。

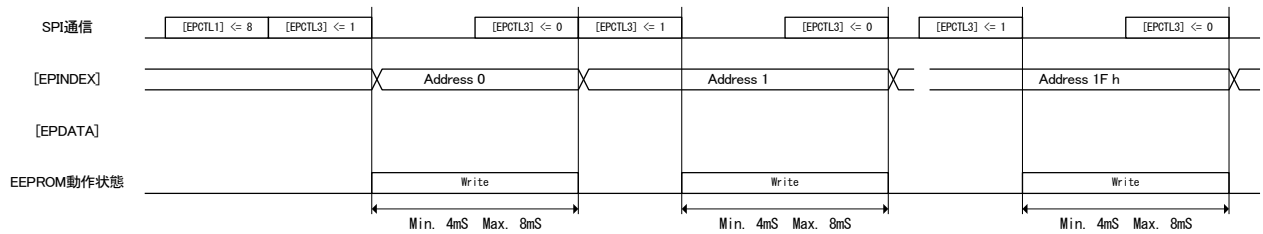


図 8-4 ブロック書き込みシーケンス

ブロック消去動作

EEPROM の一括消去を行う。

[EPCTL1]レジスタの EPBER ビットに 1 を書き込み、[EPCTL3]レジスタの EPCTL ビットを ON/OFF 動作を行う。

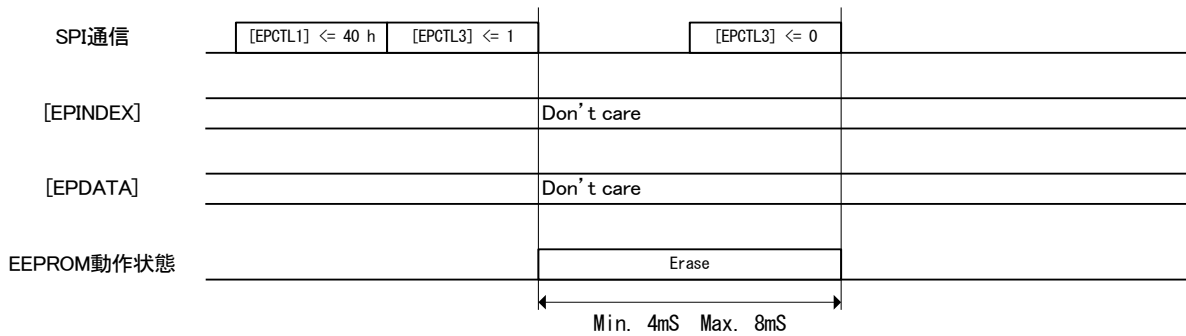


図 8-5 ブロック消去動作

ブロック書き込み

[EPDATA]レジスタの内容を EEPROM すべてのアドレスに書き込む。

[EPCTL1]レジスタの EPBWR ビットに 1 を書き込み、[EPCTL3]レジスタの EPCTL ビットを ON/OFF 動作を行う。

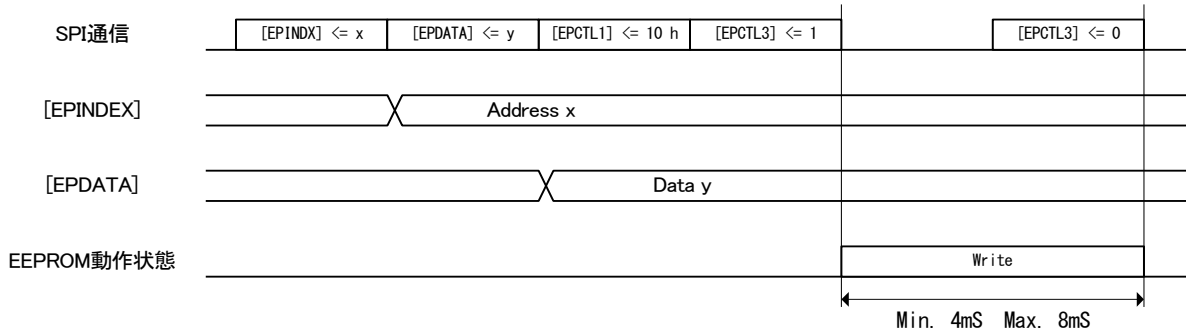


図 8-6 ブロック書き込み動作

特性

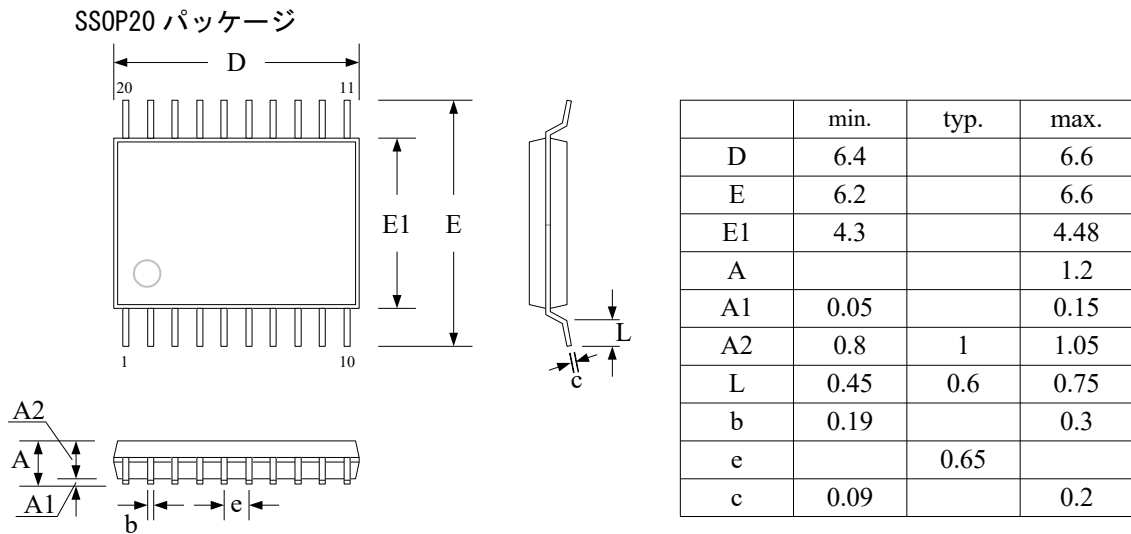
項目	min.	max.	単位
書込 / 消去 時間	4	8	ms
データ 保持 期間	10		年
書込 / 消去 回数 @ 25 °C	1x10 ⁵		
書込 / 消去 回数 @ 125 °C	1x10 ⁴		
温度 範囲	-40	125	°C

9 一般仕様

9.1 信頼性検査（試作段階における検査）

No.	試験項目	準拠規格	条件	試験時間	試験回数	判定
1	静電耐量	EIAJ ED-4701/300 参考試験	200V, 0Ω マシンモデル	±各3回	12	合格
2	ラッチアップ耐量	EIAJ ED-4701/300	pulse 幅:10ms 100mA 電流注入	±各1回	6	合格
3	高温通電	EIAJ ED-4701/100	+125°C	1000Hrs	22	合格

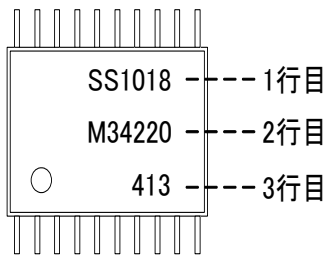
9.2.1 外形図および端子配置



端子対応表

PIN NO.	端子名	PIN NO.	端子名
1	GND	11	CS0
2	GSN	12	SB
3	SD0	13	SA1
4	SD1	14	SA2
5	SCK	15	SA3
6	RSTN	16	SA4
7	SG	17	SA5
8	VTO	18	SA6
9	INTR	19	SA7
10	VDD	20	SA8

9.2.2 マーク



行	項目	桁数	内容	備考
1	品名	6桁	SS1018	固定
2	ウェハロット	6桁	LotNo.	Lot 毎変更
3	アセンブリロット	3桁	年週週	Lot 毎変更

9.3 はんだ付け条件

9.3.1 手付けはんだ法による場合

手付けはんだ法による場合はリード部におけるはんだ付け温度、時間については
1リード当たり

温度 : 350°C以下

時間 : 3秒以内

もしくは

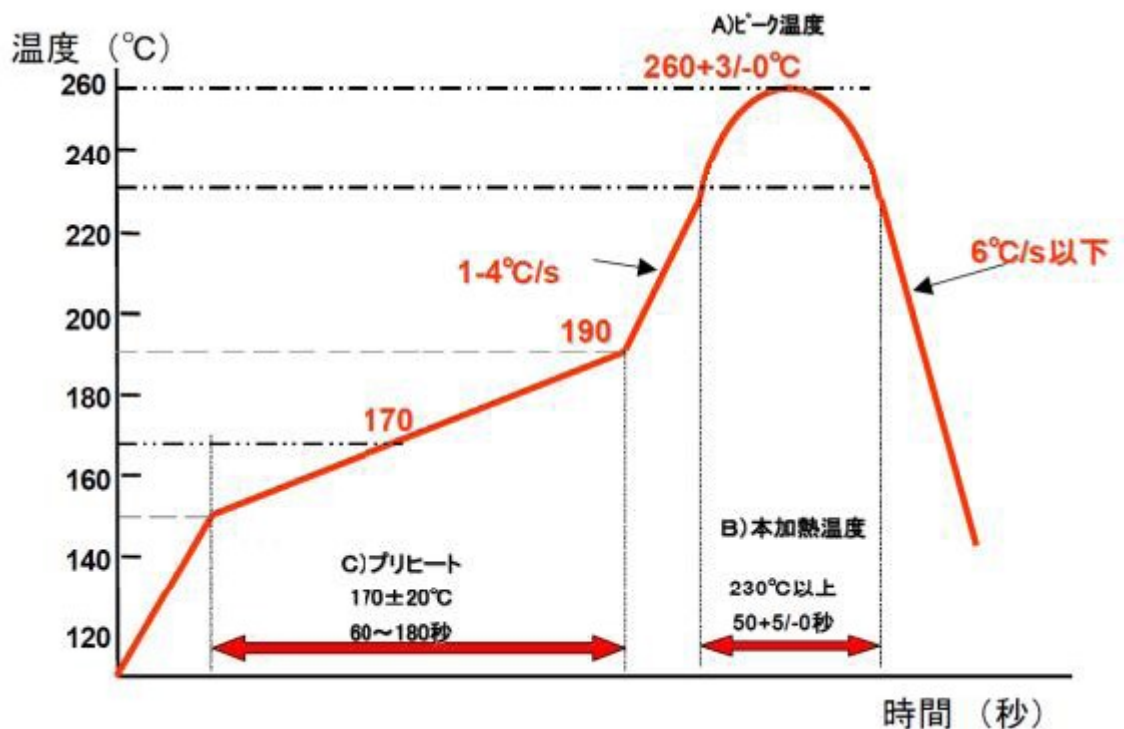
温度 : 260°C以下

時間 : 10秒以内

を推奨。

9.3.2 リフロー法による場合

以下にリフロー法による推奨温度プロファイルを示す。



リフロー法、手付けはんだ法について以上のように推奨するが、いずれの場合においても高温状態に長時間保つことは信頼性に悪影響を及ぼすのでできるだけ短時間で進行する必要がある。